

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340472

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁴
H 0 1 L 29/786
21/762

識別記号

F I
H 0 1 L 29/78
21/76 6 2 4
D

審査請求 未請求 請求項の数18 O L (全 21 頁)

(21) 出願番号 特願平10-162285
(22) 出願日 平成10年(1998)6月10日
(31) 優先権主張番号 特願平10-81458
(32) 優先日 平10(1998)8月27日
(33) 優先権主張国 日本 (J P)

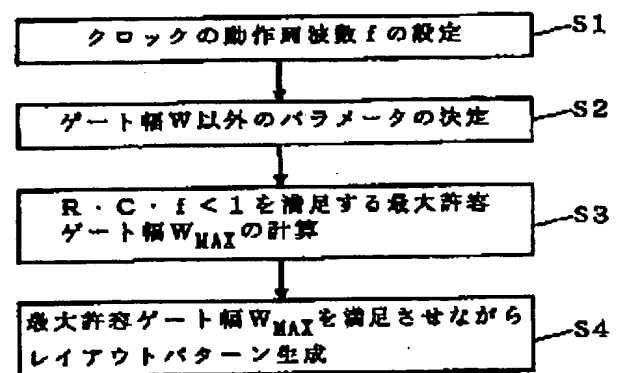
(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 前田 茂伸
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72) 発明者 山口 孝男
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 半導体装置の設計方法、半導体装置及び記録媒体

(57) 【要約】

【課題】 動作速度が影響を受けないSOI構造のトランジスタを有する半導体装置を設計する方法を得る。

【解決手段】 SOI構造のMOSTランジスタにおいて、ゲート容量C (F)、ボディ抵抗R (Ω) 及びクロックの動作周波数f (Hz) とした場合、 $f \geq 500$ MHzの範囲において、ステップS3で $R \cdot C \cdot f < 1$ を満足するMOSTランジスタの最大許容ゲート幅 W_{MAX} を計算し、ステップS4で最大許容ゲート幅 W_{MAX} を満足したMOSTランジスタを含む半導体装置のレイアウトパターンを生成する。



【特許請求の範囲】

【請求項1】 支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成され、所定のクロックに基づき動作するMOSトランジスタを有する半導体装置の設計方法であって、

前記MOSトランジスタは、

前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、

前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、

前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、

前記ボディ部に電気的に接続され、固定電位を受ける少なくとも1つのボディコンタクトとを備え、

(a)前記所定のクロックの動作周波数を付与するステップと、

(b)前記所定のクロックの動作周波数に基づき前記MOSトランジスタのレイアウトパターンを決定するステップとを備え、

前記ステップ(b)は、

C：前記MOSトランジスタのゲート容量(F)

R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω)

f：前記所定のクロックの動作周波数(Hz)

としたとき、

$f \geq 500 \text{ MHz}$ の範囲において、

条件式1： $R \cdot C \cdot f < 1$

を満足するように前記MOSトランジスタのレイアウトパターンを決定することを特徴とする、半導体装置の設計方法。

【請求項2】 支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成されるMOSトランジスタを有する半導体装置の設計方法であって、

前記MOSトランジスタは、

前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、

前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、

前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電気的に接続され、

前記ボディ部に電気的に接続され、固定電位を受ける少なくとも1つのボディコンタクトをさらに備え、

(a)前記MOSトランジスタに要求する信号伝播遅延時間を付与するステップと、

(b)前記信号伝播遅延時間に基づき前記MOSトランジ

スタのレイアウトパターンを決定するステップとを備え、

前記ステップ(b)は、

C：前記MOSトランジスタのゲート容量(F)

R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω)

t_d：前記MOSトランジスタに要求する信号伝播遅延時間(s)

としたとき、

$t_d \leq 50 \text{ ps}$ の範囲において、

条件式2： $(R \cdot C) / t_d < 1$

を満足するように前記MOSトランジスタのレイアウトパターンを決定したことを特徴とする、半導体装置の設計方法。

【請求項3】 請求項1記載の半導体装置の設計方法で設計された半導体装置。

【請求項4】 請求項2記載の半導体装置の設計方法で設計された半導体装置。

【請求項5】 支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成され、所定のクロックに基づき動作するMOSトランジスタを有する半導体装置であって、

前記MOSトランジスタは、

前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、

前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、

前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2の導電型のボディ部と、

前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、

前記ボディ部に電気的に接続され、固定電位を受ける少なくとも1つのボディコンタクトとを備え、

C：前記MOSトランジスタのゲート容量(F)

R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω)

f：前記所定のクロックの動作周波数(Hz)

としたとき、

$f \geq 500 \text{ MHz}$ の範囲において、

条件式1： $R \cdot C \cdot f < 1$

を満足することを特徴とする半導体装置。

【請求項6】 支持基板、埋込酸化膜及びSOI層からなるSOI基板上に形成されるMOSトランジスタを有する半導体装置であって、

前記MOSトランジスタは、

前記SOI層内に選択的に形成される第1の導電型の第1の半導体領域と、

前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1の導電型の第2の半導体領域と、

前記第1及び第2の半導体領域間の前記SOI層の領域

であるボディ領域を含む第2の導電型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電気的に接続され、

前記ボディ部に電気的に接続され、固定電位を受ける少なくとも1つのボディコンタクトをさらに備え、

C：前記MOSトランジスタのゲート容量(F)

R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝達経路の抵抗(Ω)

t_d：前記MOSトランジスタに要求する信号伝播遅延時間(s)

としたとき、

t_d ≤ 50psの範囲において、

条件式2： $(R \cdot C) / t_d < 1$

を満足することを特徴とする半導体装置。

【請求項7】 前記固定電位伝達経路の抵抗Rは、

W：前記ボディ領域における前記固定電位伝達経路の前記ゲート電極のゲート幅方向の長さ

L：前記ボディ領域における前記固定電位伝達経路の前記ゲート電極のゲート長方向の長さ

t_{SOI}：前記SOI層の膜厚

ρ：前記ボディ領域の比抵抗

としたとき、

$R = (\rho \cdot W) / (L \cdot t_{SOI})$

で決定する、請求項5あるいは請求項6記載の半導体装置。

【請求項8】 前記ボディ部は、前記ボディ領域から延びて、前記第1及び第2の半導体領域の外周部の少なくとも一部に隣接して形成される領域を含み、

前記ボディ領域を除き、前記第1及び第2の半導体領域の外周部の少なくとも一部に隣接した前記ボディ部上に絶縁膜を介して形成される分離電極をさらに備え、

前記少なくとも1つのボディコンタクトは、前記分離電極を挟んで、前記第1及び第2の半導体領域と平面上対向するボディ部の領域上に形成される分離電極外ボディコンタクトを含む、請求項7記載の半導体装置。

【請求項9】 前記ボディ領域は前記ボディコンタクトが形成可能なボディコンタクト可能領域を有し、

前記ゲート電極は前記ボディコンタクト可能領域が露出する開口部を有し、

前記少なくとも1つのボディコンタクトは、前記ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含む、請求項8記載の半導体装置。

【請求項10】 前記第1の半導体領域は複数の第1の半導体領域を含み、前記第2の半導体領域は複数の第2の半導体領域を含み、

前記ボディ部は前記複数の第1及び第2の半導体領域が離散分離されるように前記複数の第1及び第2の半導体領域間に形成される領域を含み、

前記分離電極は前記複数の第1及び第2の半導体領域を

離散分離する前記ボディ部上にさらに形成される、請求項8記載の半導体装置。

【請求項11】 前記ボディ部は、前記第1及び第2の半導体領域のゲート幅方向で隣接し、前記ボディ領域からゲート長方向に延びて形成される領域を含み、前記ゲート電極は、前記第1及び第2の半導体領域にゲート幅方向で隣接した前記ボディ部上を、前記ボディ領域上から前記ゲート長方向にさらに延びて形成され、前記少なくとも1つのボディコンタクトは、前記ゲート電極を挟んで、前記第1及び第2の半導体領域と平面上対向する前記ボディ部の前記領域上に形成されるゲート電極外ボディコンタクトを含む、請求項7記載の半導体装置。

【請求項12】 前記ボディ領域は前記ボディコンタクトが形成可能なボディコンタクト可能領域を有し、前記ゲート電極はボディコンタクト可能領域が露出する開口部を有し、

前記少なくとも1つのボディコンタクトは、前記ボディコンタクト可能領域上にさらに形成されるゲート電極内ボディコンタクトを含む、請求項11記載の半導体装置。

【請求項13】 前記少なくとも1つのボディコンタクトは、前記ゲート電極のゲート幅方向の一端の延長線上に位置する前記ボディ部上に形成される第1のボディコンタクトと、

前記ゲート電極のゲート幅方向の他端の延長線上にある前記ボディ部上に形成される第2のボディコンタクトとを含む、請求項7記載の半導体装置。

【請求項14】 前記ボディ領域は少なくとも一部が上層部に形成される第1のボディ領域と、下層部に形成される第2のボディ領域とを有し、

前記第2のボディ領域は、前記第1のボディ領域の第2の導電型の不純物濃度よりも高い第2の導電型の不純物濃度を有する、請求項7記載の半導体装置。

【請求項15】 前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する上層部の一部領域に形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、

前記第2のボディ領域は第1及び第2の部分ボディ領域を含み、

前記第1及び第2の部分ボディ領域は、前記第1及び第2の部分半導体領域の一部の下方にそれぞれ前記第1及び第2の主領域と界面を接して形成され、前記第1及び第2の部分ボディ領域を除く前記ボディ領域が前記第1のボディ領域となり、

前記第1のボディ領域は前記第1及び第2の主領域と界面を接することなく形成され、前記第1及び第2の部分半導体領域はそれぞれ前記第1及び第2の部分ボディ領域より前記ゲート電極の中心方向に所定距離延びて形成されることを特徴とする、請求項14記載の半導体装置。

【請求項16】 前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する一部分の領域に前記SOI層を貫通して形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定される、請求項14記載の半導体装置。

【請求項17】 前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間で対向する一部分の領域に形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、前記第2のボディ領域は、前記ボディ領域の下層部の中心領域に前記第1及び第2の主領域と界面を接することなく形成されることを特徴とする、請求項14記載の半導体装置。

【請求項18】 ボディ電位を固定しないボディフローティングMOSTランジスタをさらに備え、前記SOI層は第1の膜厚の第1の領域と前記第1の膜厚よりも薄い第2の膜厚の第2の領域とを有し、前記MOSTランジスタは前記第1の領域上に形成され、

前記ボディフローティングMOSTランジスタは前記第2の領域上に形成される、請求項7記載の半導体装置。

【請求項19】 請求項1あるいは請求項2記載の半導体装置の設計方法を実行させるためのプログラムが記録されている、コンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はSOI基板上に形成されたMOSTランジスタを有する半導体装置に関する。

【0002】

【従来の技術】図20は、本発明の背景となるフィールド分離構造を有する従来の半導体装置M90の断面構造を示す断面斜視図である。この半導体装置は、トランジスタ素子等が作り込まれる半導体基板として、絶縁性基板の上に、膜状に形成された半導体層、すなわちSOI (semiconductor-on-insulator) 層を備えたSOI基板

を使用したSOI型の半導体装置として構成されている。

【0003】図20に示すように、半導体装置M90では、支持基板1と埋込酸化膜2とで構成される絶縁性基板の上にシリコン半導体層がSOI層3として形成されている。このSOI層3は、多数のNMOSTランジスタの形成領域およびPMOSTランジスタの形成領域を含んでいる。そして、これらの素子領域を互いに電気的に分離するための、平板状のフィールドシールド電極（以後、「FS電極」と略記）5が、SOI層3の各素子領域の境界に形成されている。

【0004】図20において、FS電極5は、各素子領域において活性領域を規定するように、SOI層3上に所定の間隔を開けて平行に配設されている。そして、FS電極5はフィールドシールド絶縁層4（以後、「FS絶縁層」と略記）によって覆われ、活性領域上から平行する2つのFS絶縁層4の上部に渡るようにゲート電極6が配設されている。なお、ゲート電極6と活性領域との間にはゲート酸化膜10が形成されている。FS絶縁層は酸化物で構成され、このFS絶縁層4によって、FS電極5とゲート電極6との間が、電気的に絶縁されている。

【0005】SOI層3内のソース領域及びドレイン領域（図20では図示せず）は、図示しない絶縁層に設けられたコンタクトホール7を通じて、ドレイン電極及びソース電極（図20では図示せず）と電気的に接続されており、ゲート電極6はコンタクトホール8を通じてゲート配線（図20では図示せず）に接続されている。

【0006】またコンタクトホール9を通じて、ボディコンタクト電極（図20では図示せず）がSOI層3に接続されている。なお、図20においては、ボディコンタクト電極に接続されるコンタクトホール9はFS電極5を貫通してSOI層3に接続される構成を示したが、FS電極5の外側にあるSOI層3上にコンタクトホール9を設けるようにしている構成も一般的である。

【0007】半導体装置M90では、FS電極5にNMOS構造では0V、PMOS構造では電源電圧Vccが印加されることによって、分離領域のSOI層3が遮断状態とされ、その結果、素子領域の間の電気的な分離が実現する。

【0008】なお、図20において、ボディ電位固定用のコンタクトホール9を形成せずに、SOI層3におけるボディ部をフローティングにする構成も考えられる。

【0009】図21はボディ部がフローティング状態のSOI構造のN型のMOSTランジスタの断面構造を示す断面図である。

【0010】同図に示すように、支持基板1上に埋込酸化膜2が形成され、埋込酸化膜2上にSOI層3が形成される。SOI層3内に選択的にN型のドレイン領域11及びソース領域12が形成され、ドレイン領域11、

ソース領域12間にあるボディ領域を含むSOI層3のP型の領域部分がボディ部13として規定される。

【0011】ドレイン領域11、ソース領域12間のボディ部13上にゲート酸化膜10を介してゲート電極6が形成される。

【0012】このような構成のSOI構造のMOSTランジスタにおいて、ボディ部13の電位が固定されない場合、図22のように、ドレイン領域11、ソース領域12を流れる信号等の影響を受けてボディ電位BVが変化し、ボディ電位BVの変化に伴いMOSTランジスタの動作速度VCが変化する。ここで、図22のボディ電位と動作速度との関係は時間=0を基準とした相対値である。

【0013】そこで、図20で示したボディ電位固定用のコンタクトホール9等を設けてボディ部13を電位固定する方法が考えられる。図23はボディ電位を固定したMOSTランジスタ構造を模式的に示す説明図である。図23に示すように、ボディ部13はボディ端子PB1によって電位固定される。

【0014】また、図24に示すように、ゲート電極6とボディ部13とを短絡し、ボディ端子PB2によって共通の電位を与えるようにしたDT (Dynamic Threshold) MOS構造にすることも考えられる。

【0015】

【発明が解決しようとする課題】従来のSOI構造のMOSTランジスタは、図23あるいは図24に示すように、ボディ部13の電位固定を行うことにより、動作速度が比較的遅い場合は動作速度を安定させることができた。

【0016】しかしながら、動作周波数が500MHz以上のクロックに同期して高速動作を行う場合は、各回路間における信号授受のタイミングに対する要求が非常に厳しくなり、図23及び図24で示す構造のMOSTランジスタでも、ボディ部13がフローティング状態の場合と同様の現象が生じてしまい、安定動作が不可能になる等、動作速度が影響を受けてしまうという問題点があった。

【0017】この発明は上記問題点を解決するためになされたもので、高速動作時においても動作速度が影響を受けないSOI構造のトランジスタを有する半導体装置及びその設計方法を得ることを目的とする。

【0018】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置の設計方法は、支持基板、埋込酸化膜及びSOI層からなるSOI基板に形成され、所定のクロックに基づき動作するMOSTランジスタを有する半導体装置を設計する方法であって、前記MOSTランジスタは、前記SOI層内に選択的に形成される第1のn型型の第1の半導体領域と、前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1のn型

型の第2の半導体領域と、前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2のn型型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極と、前記ボディ部に電気的に接続され、固定電位を受ける少なくとも1つのボディコンタクトとを備え、(a)前記所定のクロックの動作周波数に付与するステップと、(b)前記所定のクロックの動作周波数に基づき前記MOSTランジスタのレイアウトパターンを決定するステップとを備え、前記ステップ(b)は、C：前記MOSTランジスタのゲート容量(F) R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝送経路の抵抗(Ω) f：前記所定のクロックの動作周波数(Hz)としたとき、 $f \geq 500\text{MHz}$ の範囲において、条件式1： $R \cdot C \cdot f < 1$ を満足するように前記MOSTランジスタのレイアウトパターンを決定している。

【0019】この発明に係る請求項2記載の半導体装置の設計方法は、支持基板、埋込酸化膜及びSOI層からなるSOI基板に形成されるMOSTランジスタを有する半導体装置を設計する方法であって、前記MOSTランジスタは、前記SOI層内に選択的に形成される第1のn型型の第1の半導体領域と、前記SOI層内に選択的に前記第1の半導体領域と独立して形成される第1のn型型の第2の半導体領域と、前記第1及び第2の半導体領域間の前記SOI層の領域であるボディ領域を含む第2のn型型のボディ部と、前記ボディ領域上にゲート酸化膜を介して形成されるゲート電極とを備え、前記ゲート電極は前記ボディ部に電気的に接続され、前記ボディ部に電気的に接続され、固定電位を受ける少なくとも1つのボディコンタクトをさらに備え、(a)前記MOSTランジスタに要求する信号伝送遅延時間を付与するステップと、(b)前記信号伝送遅延時間に基づき前記MOSTランジスタのレイアウトパターンを決定するステップとを備え、前記ステップ(b)は、C：前記MOSTランジスタのゲート容量(F) R：前記少なくとも1つのボディコンタクトから前記ボディ領域に至る固定電位伝送経路の抵抗(Ω) t_d：前記MOSTランジスタに要求する信号伝送遅延時間(s)としたとき、 $t_d \leq 50\text{ps}$ の範囲において、条件式2： $(R \cdot C) / t_d < 1$ を満足するように前記MOSTランジスタのレイアウトパターンを決定している。

【0020】請求項3記載の半導体装置は、請求項1記載の半導体装置の設計方法で設計されている。

【0021】請求項4記載の半導体装置は、請求項2記載の半導体装置の設計方法で設計されている。

【0022】この発明に係る請求項5記載の半導体装置は、支持基板、埋込酸化膜及びSOI層からなるSOI基板に形成され、所定のクロックに基づき動作するMOSTランジスタを有しており、前記MOSTランジスタは、前記SOI層内に選択的に形成される第1のn型

【0032】請求項15記載の半導体装置において、前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部

分半導体領域はそれぞれ第1及び第2の半導体領域間に対向する上層部の一部領域に形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、前記第2のボディ領域は第1及び第2の部分ボディ領域を含み、前記第1及び第2の部分ボディ領域は、前記第1及び第2の部分半導体領域の一部の下方にそれぞれ前記第1及び第2の主領域と界面を接して形成され、前記第1及び第2の部分ボディ領域を除く前記ボディ領域が前記第1のボディ領域となり、前記第1のボディ領域は前記第1及び第2の主領域と界面を接することなく形成され、前記第1及び第2の部分半導体領域はそれぞれ前記第1及び第2の部分ボディ領域より前記ゲート電極の中心方向に所定距離延びて形成されている。

【0033】請求項16記載の半導体装置において、前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間に対向する一部分の領域に前記SOI層を貫通して形成され、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定されている。

【0034】請求項17記載の半導体装置において、前記第1の半導体領域は第1の主領域と第1の部分半導体領域とを有し、前記第2の半導体領域は第2の主領域と第2の部分半導体領域とを有し、前記第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間に対向する一部分の領域に形成され、前記第1及び第2の半導体領域はそれぞれ第1及び第2の主領域より第1の導電型の不純物濃度が低く設定され、前記第2のボディ領域は、前記ボディ領域の下層部の中心領域に前記第1及び第2の主領域と界面を接することなく形成されている。

【0035】請求項18記載の半導体装置において、ボディ電位を固定しないボディフローティングMOSTランジスタをさらに備え、前記SOI層は第1の膜厚の第1の領域と前記第1の膜厚よりも薄い第2の膜厚の第2の領域とを有し、前記MOSTランジスタは前記第1の領域上に形成され、前記ボディフローティングMOSTランジスタは前記第2の領域上に形成されている。

【0036】この発明における請求項19記載の記録媒体は、請求項1あるいは請求項2記載の半導体装置の設計方法を実行させるためのプログラムが記録されている。

【0037】

【発明の実施の形態】<実施の形態1>図1はこの発明の実施の形態1である半導体装置の設計方法で設計された、FS分離によるSOI構造のNMOSTランジスタの平面構成を示す平面図である。また、図2は図1のA

—A断面を示す断面図である。これらの図に示すように、N型のドレイン領域11、ソース領域12の周辺隣接領域にあるボディ部13上にFS絶縁層4を介してFS電極5が形成される。ここで、ボディ部13はドレイン領域11、ソース領域12間のボディ領域14とボディ領域14から延びて形成されるP型の領域を意味する。

【0038】ボディ領域14上及びFS電極5の一部上にゲート電極6が形成される。ゲート電極6はボディ領域14上においてはゲート酸化膜10を介して形成され、FS電極5の一部上においてはFS絶縁層4を介して形成される。また、図1及び図2では図示していないが、ボディコンタクトはFS電極5に対して平面上外周に位置するボディ部13上に形成される。

【0039】このような構造によって、ドレイン領域11、ソース領域12及びゲート長L、ゲート幅Wのゲート電極6からなるMOSTランジスタが形成される。

【0040】このような構造のFS分離によるMOSTランジスタは、FS電極5による分離機能が働いている期間は、ボディ領域14を除くドレイン領域11、ソース領域12の外周部のボディ部13からボディ電位がドレイン領域11、ソース領域12に直接伝達されることはない。

【0041】このような構造のMOSTランジスタにおいて、ゲート酸化膜厚 t_{ox} 、ゲート長L及びゲート幅Wのゲート容量Cは下記に示す式1で決定する。

【0042】

【数1】

$$C = K_0 \epsilon_0 \frac{L \cdot W}{t_{ox}} \quad \text{---- (1)}$$

【0043】一方、ボディコンタクト16からボディ領域14に至る固定電位伝達経路の抵抗に相当するボディ部13のボディ抵抗Rは、実質的にはゲート電極6下のA—A方向におけるボディ領域14の抵抗によって決定する。なぜなら、ボディ部13のボディ領域14以外の領域はゲート長Lに比べて十分大きい幅の固定電位伝達経路となっているため、その抵抗はボディ領域14の抵抗に比べて無視できるレベルであるからである。

【0044】したがって、 ϵ_0 ：真空の誘電率、 K_0 ：ゲート酸化膜10の比誘電率、 ρ ：ボディ領域14の比抵抗、 t_{soi} ：SOI層3の膜厚 t_{soi} とすると、下記に示す式2でボディ抵抗Rは決定する。

【0045】

【数2】

$$R = \rho \cdot \frac{W}{L \cdot t_{soi}} \quad \text{---- (2)}$$

【0046】ただし、正確に言えば、式2におけるゲート長Lはボディ領域14における固定電位伝達経路のゲート電極6のゲート長方向の長さ、式2におけるゲート幅Wはボディ領域14における固定電位伝達経路のゲート

電極6のゲート幅方向の長さとなる。ここでは、ボディ領域14における固定電位伝達経路のゲート幅方向の長さはゲート電極6のゲート幅 W とほぼ等しく、ゲート長方向の長さはゲート電極6のゲート長 L とほぼ等しい場合を想定して式2を決定している。

【0047】式1、式2で決定するゲート容量 C (F)、ボディ抵抗 R (Ω) を有するMOSTランジスタが動作するクロックの動作周波数 f (Hz) に基づくシミュレーション結果によって、クロックの動作周波数 f が500MHz以上の高周波動作が要求される場合でも

$$R \cdot C \cdot f = \rho \cdot K_0 \cdot \epsilon_0 \cdot \frac{W^2}{t_{ox} \cdot t_{soi}} \cdot f < 1 \quad \text{---- (4)}$$

【0051】したがって、クロックの動作周波数 f が決定している時、式4を満足するゲート幅 W 、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} を有するSOI積造のMOSTランジスタから形成される回路は高周波動作時においても安定動作が可能となる。

【0052】例えば、 $\rho = 0.08$ ($\Omega \cdot \text{cm}$)、 K_0

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{1}{\rho \cdot K_0 \cdot \epsilon_0 \cdot f} = 3.8 \times 10^3 \quad \text{---- (5)}$$

【0054】このとき、ゲート酸化膜厚 $t_{ox} = 0.007$ (μm)、SOI層膜厚 $t_{soi} = 0.1$ (μm) とすると、 $\{W^2 < 2.52\}$ 、すなわち、 $\{W < 1.59$ (μm) $\}$ となる制約条件1を満足すればよい。

【0055】ただし、図3に示すようにゲート幅 W 方向におけるゲート電極6の両側のボディ部13上にそれぞれボディコンタクト16A、16Bを設けた場合、ボディコンタクト16A側とボディコンタクト16B側とでボディ領域14における固定電位伝達経路が2分割されるため、ゲート幅 $W/2$ の2つのボディ領域それぞれにおいて式1～式4を適用することができる。したがって、 $\{(W/2) < 1.59$ (μm) $\}$ となる制約条件2を満足すればよく、最大許容のゲート幅 W を制約条件1の場合の2倍にすることができる。

【0056】図4はこの発明の実施の形態1である半導体装置の設計方法の処理手順を示すフローチャートである。

【0057】同図を参照して、まずステップS1で、クロックの動作周波数 f (≥ 500 MHz) を設定する。そして、ステップS2で、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} 等のゲート幅 W 以外のパラメータを決定する。

【0058】続いて、ステップS3で、式4を適用して $R \cdot C \cdot f < 1$ を満足する最大許容ゲート幅 W_{max} を求める。

【0059】そして、ステップS4で、最大許容ゲート幅 W_{max} を満足したMOSTランジスタを含むレイアウトパターンを生成して半導体装置を設計する。

下記の式3に示す条件を満足すれば、MOSTランジスタが安定に動作することを見いだした。

【0048】

【数3】

$$R \cdot C \cdot f < 1 \quad \text{---- (3)}$$

【0049】式3に式1、式2を適用することにより、式3は下記の式4に変形することができる。

【0050】

【数4】

$= 3.9$ 、 $\epsilon_0 = 8.86 \times 10^{-14}$ (F/cm)、 $f = 10$ (GHz) のとき、下記の式5に示す条件をゲート幅 W 、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} が満足すればよい。

【0053】

【数5】

【0060】このように、実施の形態1の半導体装置の設計方法は、 $\{R \cdot C \cdot f < 1\}$ を利用して装置設計を行っているため、設計者は、試行錯誤によらず、客観的認識のみに基づいて、装置が動作すべき周波数に対して確実に安定動作させることのできる半導体装置を常に得ることができる。すなわち、 $\{R \cdot C \cdot f < 1\}$ によって、所定の周波数に対して安定動作が可能な最大許容ゲート幅 W_{max} を正確に認識することができるという効果を奏する。

【0061】なお、図4で示したフローチャートではゲート幅 W を最終的な許容値(最大許容ゲート幅 W_{max})を求めるパラメータにしたが、 $\{R \cdot C \cdot f < 1\}$ を満足するパラメータであれば、いずれも許容値を求めるパラメータにすることができ、さらに、2つ以上のパラメータの組み合わせの許容値等にも適用できるのは勿論である。

【0062】図5は、実施の形態1の半導体装置の設計方法を自動的に実行するレイアウトパターン生成装置を示すブロック図である。同図に示すように、レイアウトパターン生成装置100は回路データD1及び設定用パラメータD2を受ける。なお、設定用パラメータD2は、クロックの動作周波数 f と、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} 等のゲート幅 W 以外のパラメータとを意味する。

【0063】レイアウトパターン生成装置100は、内部の記録媒体101に記録されたレイアウトパターン生成プログラムを実行可能なコンピュータとしての機能を有している。レイアウトパターン生成プログラムは、実

図の形態1の場合、図4のステップS1、S2と同様に設定すべきクロックの動作周波数 f 、ゲート幅 W 以外のパラメータを付与するステップと、図4のステップS3及びS4と同じ処理を行うステップとを記録したプログラムとなる。

【0064】したがって、レイアウトパターン生成装置100は、付与された回路データD1及び設定用パラメータD2に基づき、 $\{R \cdot C \cdot f < 1\}$ を満足するMOSトランジスタを含むレイアウトパターンデータD3を自動生成することができる。なお、記録媒体101としては例えば、フロッピーディスク、CD-ROM、ハードディスク等が考えられる。

【0065】なお、実施の形態1ではFS分極相逆のMOSトランジスタの設計方法について説明したが、図6に示すようなH型ゲート相逆の設計方法にも適用することができる。Hゲート電極26の左右の“1”によって、ドレイン領域11及びソース領域12にゲート幅 W 方向に隣接して形成されるボディ部23とドレイン領域11及びソース領域12とを電気的に分離し、中央の“-”が本来のMOSトランジスタのゲート電極として機能する。

【0066】したがって、Hゲート電極26を介してドレイン領域11及びソース領域12と対向する位置のボディ部23上にボディコンタクト16を形成した場合でも、ボディコンタクト16から得られるボディ電位がドレイン領域11、ソース領域12に直接伝送されることはない。

【0067】このように、実施の形態1のSOI相逆のMOSトランジスタは、ボディ電位固定に際し、ゲート幅 W 、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} が式3(式4)を満足するように設計しているため、高速動作時においても動作速度が変動しない安定動作が可能な

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{t_{pd}}{\rho \cdot K_0 \cdot 80}$$

【0074】このとき、ゲート酸化膜厚 $t_{ox} = 0.007 (\mu m)$ 、SOI層膜厚 $t_{soi} = 0.1 (\mu m)$ とすると、 $\{W^2 < 1.26\}$ 、すなわち、 $\{W < 1.12 (\mu m)\}$ となる制約条件3を満足すればよい。

【0075】ただし、ボディ部のゲート幅 W 方向におけるゲート電極の両側のボディ部でゲート電極とボディ部とを短絡させた場合、実施の形態1と同様、ボディ領域14における固定電位伝達経路は2分割されるため、 $\{(W/2) < 1.12 (\mu m)\}$ となる制約条件4を満足すればよく、最大許容のゲート幅 W を制約条件3の場合の2倍にすることができる。

【0076】なお、実施の形態2のDTMOSはゲート電極6とボディ部を短絡する以外は図1及び図2で示したものと同様の相逆を呈しており、図6に示すようなH型ゲート相逆にも適用することができる。

半導体装置を得ることができる。

【0068】この際、式3を満足する範囲で最大のゲート幅 W を設定することにより、安定した動作が可能な範囲で最高の速度で動作するSOI相逆のMOSトランジスタを得ることができる。

【0069】なお、式3のクロックの動作周波数 f とは、実施の形態1のSOI相逆のMOSトランジスタがCPU、DSP、通信用チップ等の同類型ロジック回路に用いられる場合は動作周波数、クロック周波数、発振周波数等を意味し、DRAM、SRAM等の半導体記憶装置に用いられる場合は動作周波数、クロック周波数、アクセス時間の逆数等を意味する。

【0070】＜実施の形態2＞実施の形態1と同様にし、式1、式2で決定するゲート容量 $C(F)$ 、ボディ抵抗 $R(\Omega)$ を有するDTMOSトランジスタ1単位に要求する信号伝播遅延時間 $t_{pd}(s)$ に基づくシミュレーション結果によって、信号伝播遅延時間 t_{pd} が50ps以下の高速動作時においても下記の式6に示す条件を満足すれば、DTMOSトランジスタが安定に動作することを見いだした。

【0071】

【式6】

$$\frac{R \cdot C}{t_{pd}} < 1 \text{ ---- (6)}$$

【0072】例えば、 $\rho = 0.08 (\Omega \cdot cm)$ 、 $K_0 = 3.9$ 、 $\epsilon_0 = 8.86 \times 10^{-14} (F/cm)$ 、 $t_{pd} = 50 (ps)$ のとき、下記の式7に示す条件をゲート幅 W 、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} が満足すればよい。

【0073】

【式7】

$$= 1.8 \times 10^3 \text{ ---- (7)}$$

【0077】図7は実施の形態2の半導体装置の設計方法の処理手順を示すフローチャートである。

【0078】同図を参照して、まずステップS11で、DTMOSトランジスタ1単位に要求する信号伝播遅延時間 $t_{pd} (\leq 50 ps)$ を設定する。そして、ステップS12で、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} 等のゲート幅 W 以外のパラメータを決定する。

【0079】続いて、ステップS13で、式7を適用して $(R \cdot C) / t_{pd} < 1$ を満足する最大許容ゲート幅 W_{MAX} を求める。

【0080】そして、ステップS14で、最大許容ゲート幅 W_{MAX} を満足したDTMOSトランジスタを含むレイアウトパターンを生成して半導体装置を設計する。

【0081】このように、実施の形態2の半導体装置の設計方法は、 $\{(R \cdot C) / t_{pd} < 1\}$ を利用して装置

設計を行っているため、設計者は、試行錯誤によらず、客観的経験のみに基づいて、要求される信号伝播遅延時間に対して確実に安定動作させることのできる半導体装置を常に得ることができる。すなわち、 $\{(R \cdot C) / t_{pd} < 1\}$ によって、所定の信号伝播遅延時間に対して安定動作が可能な最大許容ゲート幅 W_{MAX} を正確に認識することができるという効果を得る。

【0082】このように、実施の形態2のSOI相違のDTMOSTランジスタは、ボディ電位固定に際し、ゲート幅 W 、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} が式6(式7)を満足するように設計しているため、高速度動作時においても動作速度が変動しない安定動作が可能な半導体装置を得ることができる。

【0083】なお、図7で示したフローチャートではゲート幅 W を最終的な許容値(最大許容ゲート幅 W_{MAX})を求めるパラメータにしたが、 $(R \cdot C \cdot f < 1)$ を満足するパラメータであれば、いずれも許容値を求めるパラメータにすることができ、さらに、2つ以上のパラメータの組み合わせの許容値等にも適用できるのは勿論である。

【0084】この際、式6を満足する範囲で最大のゲート幅 W を設定することより、要求される信号伝播遅延時間 t_{pd} が50ps以下の高速度動作時にも安定した動作が可能な範囲で最高の速度で動作するSOI相違のDTMOSTランジスタを得ることができる。

【0085】実施の形態2においても、実施の形態1と同様、図5で示すレイアウトパターン生成装置によるレイアウトパターンデータD3の自動生成が可能である。ただし、実施の形態2における設定用パラメータD2は、信号伝播遅延時間 t_{pd} と、ゲート酸化膜厚 t_{ox} 及びSOI層膜厚 t_{soi} 等のゲート幅 W 以外のパラメータとを意味する。

【0086】実施の形態2において記録媒体101に記録されるレイアウトパターン生成プログラムは、図6のステップS11、S12と同様に設定すべき信号伝播遅延時間 t_{pd} 、ゲート幅 W 以外のパラメータを付与するステップと、図7のステップS13及びS14と同じステップとを記録したプログラムとなる。

【0087】したがって、レイアウトパターン生成装置100は、付与された回路データD1及び設定用パラメータD2に基づき、 $\{(R \cdot C) / t_{pd} < 1\}$ を満足するDTMOSTランジスタを含むレイアウトパターンデータD3を自動生成することができる。

【0088】＜実施の形態3＞実施の形態1及び実施の形態2それぞれにおいて、ボディ電位を固定して安定動作が可能なSOI相違の(DT)MOSTランジスタにおけるゲート幅 W 、ゲート酸化膜厚 t_{ox} 及びSOI層膜

厚 t_{soi} の制約条件を示したが、ゲート幅 W をより大きく設定可能にするため、式3あるいは式6の他のパラメータの改善を図り、相違的な工夫を加えたのが実施の形態3以降の実施の形態である。

【0089】図8及び図9はそれぞれこの発明の実施の形態3であるSOI相違のMOSTランジスタの断面構造を示す断面図である。なお、図8は図1で示した平面構造のA-A断面に相当し、図9はB-B断面に相当する。

【0090】図9に示すように、SOI層3を貫通してドレイン領域11及びソース領域12が選択的に形成される。そして、ドレイン領域11、ソース領域12両方にゲート酸化膜10を介してゲート電極6が形成され、ゲート電極6の側面にサイドウォール15が形成される。

【0091】ドレイン領域11において、サイドウォール15下方に位置しSOI層3の上部に形成される部分ドレイン領域11AのN型不純物濃度(N^-)は低濃度に、それ以外の領域のN型不純物濃度(N^+)は高濃度に設定されている。同様に、ソース領域12において、サイドウォール15下方に位置しSOI層3の上部に形成される部分ソース領域12AのN型不純物濃度(N^-)は低濃度であり、それ以外の領域のN型不純物濃度(N^+)は高濃度に設定されている。

【0092】一方、ゲート電極6下方のSOI層3において、上部のボディ領域14AのP型不純物濃度(P^-)は低濃度に設定され、下部のボディ領域14BのP型不純物濃度(P^0)はボディ領域14Aより高濃度に設定される。

【0093】このように、サイドウォール15下方に位置しSOI層3の下層領域に形成されるボディ領域14Bの不純物濃度を、ボディ領域14Aの不純物濃度(通常のボディ領域14に用いる不純物濃度)より高く設定することにより、式2のボディ部13の比抵抗 ρ を低下させることができる。

【0094】図10のグラフに示すように、ボディ領域14Aの不純物濃度の10倍の不純物濃度でボディ領域14Bを形成すれば、ボディ領域14Bの比抵抗はボディ領域14Aの1/10となる。この際、ボディ部13の比抵抗は、ボディ領域14Aの比抵抗は無視できるためボディ領域14Bの比抵抗 ρ_0 で決定する。ただし、SOI層膜厚 t_{soi} に置き換えて、ボディ領域14Bの膜厚 t_{p0} を採用する必要がある。

【0095】したがって、実施の形態1の式5は下記の式8に変形することができる。

【0096】

【数8】

$$\frac{W^2}{t_{ox} \cdot t_{p0}} < \frac{1}{\rho_{p0} \cdot K_0 \cdot \varepsilon_0 \cdot f} \quad \text{--- (8)}$$

【0097】例えば、ボディ領域14Bの比抵抗 $\rho_{p0} = 0.008 (\Omega \cdot \text{cm})$ 、ボディ領域14Bの膜厚 $t_{p0} = 0.02 (\mu\text{m})$ で、他の条件が実施の形態1と同様、 $K_0 = 3.9$ 、 $\epsilon_0 = 8.86 \times 10^{-14} (\text{F/cm})$ 、 $f = 10 (\text{GHz})$ 、ゲート酸化膜厚 $t_{ox} = 0.007 (\mu\text{m})$ の場合、 $\{W < 5.0\}$ 、すなわち、 $\{W < 2.23 (\mu\text{m})\}$ となる制約条件5を満足すればよい。

【0098】制約条件1と制約条件5との比較から、実施の形態3の相違は実施の形態1の相違に比べて、最大実現可能なゲート幅 W を1.4倍程度広く形成できることがわかる。

【0099】なお、ボディ領域14Aの膜厚 t_{c0} (ボデ

$$x_{dnox} = \sqrt{\frac{2 \cdot K_B \cdot \epsilon_0 \cdot \phi_s (\text{inv})}{q N_A}} \quad \text{---- (9)}$$

【0102】実施の形態3の相違を実施の形態2のDT MOSを相違に適用した場合、実施の形態2の式7は下記の式G10に変形することができ、実施の形態1に適用した場合と同様に、最大実現可能なゲート幅 W を広く

$$\frac{W^2}{t_{ox} \cdot t_{p0}} < \frac{t_{pd}}{\mu_{p0} \cdot K_0 \cdot \epsilon_0} \quad \text{---- (10)}$$

【0104】図8及び図9で示した実施の形態3の相違の製造方法について述べる。まず、FS絶縁層4、FS電極5及びゲート電極6形成前の段階において、SOI層3の下層部にP型不純物を注入し、不純物濃度が P^0 の半導体領域を形成する。その後、既存の方法でFS絶縁層4、FS電極5、ゲート電極6、ドレイン領域11、ソース領域12及びサイドウォール15を形成することにより実施の形態3の相違を得る。

【0105】なお、P型不純物の注入時にSOI層3の下層部に形成された不純物濃度 P^0 の半導体領域は、SOI層3を貫通するドレイン領域11及びソース領域12の形成時に、ドレイン領域11、ソース領域12以外の領域のみ残存し、残存した領域がボディ領域14Bとなる。

【0106】＜実施の形態4＞図11はこの発明の実施の形態4であるSOI相違のMOSトランジスタの断面相違を示す断面図である。なお、図11は図1で示した平面相違のB-B断面に相当する。

【0107】図11に示すように、ゲート電極6の側面にサイドウォール15が形成される。ドレイン領域11において、サイドウォール15全体及びゲート電極6の一部下方に位置し、SOI層3の上層部に形成される部分ドレイン領域11BのN型不純物濃度(N^-)は低温度にそれ以外の領域のN型不純物濃度(N^+)は高温度に設定されている。同様に、ソース領域12において、サイドウォール15全体及びゲート電極6の一部下方に

イ領域14Bの表面の形成深さ)は、MOSトランジスタのチャネル相違(ボディ領域14Aの相違)で決まる最大空乏層幅 X_{dnox} より大きくすれば、MOSトランジスタの電流特性に差を与えない。

【0100】したがって、 $t_{c0} > X_{dnox}$ を満足するようにボディ領域14Aを形成すればよい。なお、 K_0 :シリコンの比誘電率、 N_A :ボディ領域14Aの不純物濃度、 $\phi_s (\text{inv})$:チャネル形成時のエネルギーポテンシャルとすると、最大空乏層幅 X_{dnox} は下記の式9で決定する。

【0101】

【式9】

することができる。

【0103】

【式10】

位置しSOI層3の上層部に形成される部分ソース領域12BのN型不純物濃度(N^-)は低温度であり、それ以外の領域のN型不純物濃度(N^+)は高温度に設定されている。

【0108】一方、ゲート電極6(サイドウォール15)下方のSOI層3において、サイドウォール15の下方に位置する領域がボディ領域14Dとなり、ゲート電極6下方に位置する領域がボディ領域14Cとなる。ボディ領域14CのP型不純物濃度(P^-)は低温度に設定され、ボディ領域14DのP型不純物濃度(P^0)はボディ領域14Cより高温度に設定される。したがって、ドレイン領域11及びソース領域12の N^+ 領域とのPN接合面はすべてボディ領域14Dとによって形成される。

【0109】部分ドレイン領域11B及び部分ソース領域12Bは、サイドウォール15の下方に加え、ゲート電極6の一部の下方にも形成される分、ボディ領域14Dよりゲート電極6の中心方向に長さ $d1$ 延びて形成される。

【0110】なお、FS絶縁層4、FS電極5、ゲート電極6及びサイドウォール15の相違は、図8及び図9で示した実施の形態3の相違と同様である。

【0111】このように、サイドウォール15下方に位置しSOI層3の下層部に形成されるボディ領域14Dの不純物濃度をボディ領域14Cの不純物濃度(通常のボディ領域14に用いる不純物濃度)より高く設定する

ことにより、式2のボディ部13の比抵抗 ρ を低下させることができる。

【0112】その結果、実施の形態4の製造は、実施の形態3と同様、実施の形態1の製造に比べて最大実現可能なゲート電圧 V_G を広くすることができる。

【0113】また、ドレイン領域11及びソース領域12のN⁺領域とのPN接合面はすべてボディ領域14Dとによって形成されるため、ドレイン領域11あるいはソース領域12のN⁺領域からの空乏層の伸びを抑えることができ、パナチスルーに強い構造が実現する。

【0114】また、部分ドレイン領域11B及び部分ソース領域12Bは、ボディ領域14Dよりゲート電極6の中心方向に長さd1延びて形成されるため、ボディ領域14Dの比較的高い不純物濃度 P^0 がチャネル形成時のMOSトランジスタの電流特性に悪影響を与えることもない。

【0115】図11で示した実施の形態4の製造の製造方法を説明する。まず、ゲート電極6形成後サイドウォール15形成前の段階において、図12に示すように、不純物濃度が P^- のSOI層3に対しゲート電極6をマスクとして、P型不純物イオン31を垂直に注入（例えば、ドーズ $1.5 \times 10^{13}/\text{cm}^2$ のボロンを30KeVの注入エネルギーでイオン注入）してP⁰型の半導体領域24、25を形成するとともに、N型不純物イオン32を斜め回返注入してN⁺型の中途ドレイン領域21及び中途ソース領域22を形成する。中途ドレイン領域21及び中途ソース領域22はN型不純物イオン32を斜め回返注入する分、半導体領域24及び25に比べてゲート電極6の中心方向に延びて形成される。

【0116】そして、サイドウォール15形成後に、ゲート電極6及びサイドウォール15をマスクとして再びN型の不純物を注入することにより、図11で示した構造を得る。

【0117】なお、P型不純物の注入時にSOI層3の下層部に形成された不純物濃度 P^0 の半導体領域24、25は、SOI層3を貫通するドレイン領域11及びソース領域12の形成時に、ドレイン領域11、ソース領域12以外の領域のみ残存し、残存した領域がボディ領域14Dとなる。

【0118】＜実施の形態5＞図13はこの発明の実施の形態5であるSOI構造のMOSトランジスタの断面構造を示す断面図である。なお、図13は図1で示した平面構造のB-B断面に相当する。

【0119】図13に示すように、ゲート電極6の側面にサイドウォール15が形成される。ドレイン領域11において、サイドウォール15下方に位置しSOI層3を貫通して形成される部分ドレイン領域11CのN型不純物濃度（N⁻）は低濃度にそれ以外の領域のN型不純物濃度（N⁺）は高濃度に設定されている。同様に、ソース領域12において、サイドウォール15下方に位置

しSOI層3を貫通する部分ソース領域12CのN型不純物濃度（N⁻）は低濃度であり、それ以外の領域のN型不純物濃度（N⁺）は高濃度に設定されている。

【0120】一方、ゲート電極6下方のSOI層3において、上層部のボディ領域14EのP型不純物濃度（P⁻）は低濃度に設定され、下層部のボディ領域14FのP型不純物濃度（P⁰）はボディ領域14Eより高濃度に設定される。

【0121】なお、FS絶縁層4、FS電極5、ゲート電極6及びサイドウォール15の形成は、図8及び図9で示した実施の形態3の構造と同様である。

【0122】このように、ゲート電極6下方に位置しSOI層3の下層部に形成されるボディ領域14Fを上層部に形成されるボディ領域14Eより高い不純物濃度に設定することにより、式2におけるボディ部13の比抵抗 ρ を低下させることができる。その結果、実施の形態5の構造は実施の形態1の構造に比べて、最大実現可能なゲート電圧 V_G を広くすることができる。

【0123】また、部分ドレイン領域11C及び部分ソース領域12CをSOI層3を貫通して形成することにより、ドレイン領域11及びソース領域12のN⁺領域とボディ領域14FのP⁰領域とによるPN接合面が全く形成されないため、ジャンクションリークを抑制することができる。

【0124】図13で示した実施の形態5の構造の製造方法について述べる。まず、ゲート電極6形成前の段階において、SOI層3の下層部にP型不純物を注入して、不純物濃度 P^0 の半導体領域を形成する。

【0125】そして、ゲート電極6形成後サイドウォール15形成前の段階において、不純物濃度 P^- のSOI層3に対しゲート電極6をマスクとして、N型不純物を斜め回返イオン注入してN⁺型の中途ドレイン領域及び中途ソース領域を形成する。この際、注入エネルギーを実施の形態4の製造時よりも強くしてSOI層3を貫通するように中途ドレイン領域及び中途ソース領域を形成するとともに、イオン注入時の斜め回返角度を実施の形態4の製造時よりも垂直方向に変更する。

【0126】したがって、P型不純物の注入時にSOI層3の下層部に形成された不純物濃度 P^0 の半導体領域のうち、中途ドレイン領域、中途ソース領域以外の領域のみ残存し、残存した領域がボディ領域14Bとなる。

【0127】そして、サイドウォール15形成後に、ゲート電極6及びサイドウォール15をマスクとして再びN型の不純物を注入することにより、図13で示した構造を得る。

【0128】＜実施の形態6＞図14はこの発明の実施の形態6であるSOI構造のMOSトランジスタの断面構造を示す断面図である。なお、図14は図1で示した平面構造のB-B断面に相当する。

【0129】図14に示すように、ゲート電極6の側面

にサイドウォール15が形成される。ドレイン領域11において、サイドウォール15下方に位置しSOI層3の上層部に形成される部分ドレイン領域11AのN型不純物濃度(N^-)は低温度にそれ以外の領域のN型不純物濃度(N^+)は高温度に設定されている。同様に、ソース領域12において、サイドウォール15下方に位置しSOI層3の上層部に形成される部分ソース領域12AのN型不純物濃度(N^-)は低温度であり、それ以外の領域のN型不純物濃度(N^+)は高温度に設定されている。

【0130】一方、ゲート電極6(サイドウォール15)下方のSOI層3において、ゲート電極6の直下に位置しSOI層3の下層部に形成される領域がボディ領域14Hとなり、それ以外の領域がボディ領域14Gとなる。ボディ領域14GのP型不純物濃度(P^-)は低温度に設定され、ボディ領域14HのP型不純物濃度(P^+)はボディ領域14Gより高温度に設定される。

【0131】なお、FS電極4、FS電極5、ゲート電極6及びサイドウォール15の形成は、図8及び図9で示した実施の形態3の構造と同様である。

【0132】このように、ゲート電極6の直下に位置しSOI層3の下層部に形成されるボディ領域14Hをボディ領域14Gより高い不純物濃度に設定することにより、式2にけるボディ部13の比抵抗 ρ を低下させることができる。その結果、実施の形態6の構造は実施の形態1の構造に比べて、最大実現可能なゲート幅Wを広くすることができる。

【0133】また、 P^+ 型のボディ領域14Hをゲート電極6の直下に位置するSOI層3の下層部のみに形成するため、ドレイン領域11及びソース領域12の N^+ 領域とボディ領域14Hの P^+ 領域とによるPN接合面が全く形成されないため、ジャンクションリークを抑制することができる。

【0134】図14で示した実施の形態6の構造の製造方法について述べる。まず、図15に示すように、ゲート電極6形成後サイドウォール15形成前の段階において、全面にP型不純物イオン31を注入する。

【0135】この際、ゲート電極6越しにイオン注入されたP型不純物のみがボディ部13の下層部に注入され、ゲート電極6を通過せずにイオン注入されたP型不純物はSOI層3を通過して、SOI層3下の埋込酸化膜2(図示せず)に注入されるようにする。例えば、SOI層膜厚 $t_{\text{SOI}}=100$ (nm)、ゲート電極6の膜厚 $t_{\text{gate}}=200$ (nm)のとき、注入エネルギー120(KeV)、ドーズ量 $1 \times 10^{14}/\text{cm}^2$ 程度でボロンをイオン注入すればよい。

【0136】次にSOI層3に対しゲート電極6をマスクとして、N型不純物イオンを注入してN型の中途ドレイン領域及び中途ソース領域を形成する。

【0137】そして、サイドウォール15形成後に、ゲ

ート電極6及びサイドウォール15をマスクとして再びN型の不純物を注入することにより、図14で示した構造を得る。

【0138】<実施の形態7>図16はこの発明に実施の形態7であるSOI構造のMOSTランジスタの断面構造を示す断面図である。同図に示すように、膜厚 t_1 のSOI層3Aのボディ固定ランジスタ領域A1にボディ位が固定されたランジスタ(DTMOSを含む)が形成され、膜厚 t_2 ($< t_1$)のSOI層3Bのボディフローティングランジスタ領域A2にボディがフローティング状態のランジスタが形成される。

【0139】SOI層3Aの膜厚 t_1 は、 $t_{\text{SOI}}=t_1$ としたときに式4(あるいは式6)を満足して所望のゲート幅Wが形成可能な程度に設定され、SOI層3Bの膜厚は動作時にボディ領域14が完全空乏化状態になるように設定する。

【0140】このような構造の実施の形態7において、ボディ固定ランジスタ領域A1に形成されるSOI構造のMOSTランジスタは、所望のゲート幅Wで安定動作が可能となる。

【0141】一方、ボディフローティングランジスタ領域A2に形成されるSOI構造のMOSTランジスタは、動作時にボディ領域14が完全空乏化状態となるため、S(Subthreshold)ファクタの良い電気特性を得ることができる。したがって、ボディフローティングランジスタ領域A2に、動作速度が不安定なMOSTランジスタを用いても同程度の回路を形成すれば、Sファクタの良い電気特性が得られる分、有効となる。

【0142】<実施の形態8>図17はこの発明の実施の形態8であるSOI構造のMOSTランジスタの平面構造を示す平面図である。

【0143】同図に示すように、ドレイン領域11、ソース領域12を平面上囲ってFS電極5が形成され、ドレイン領域11、ソース領域12間及びFS電極5の一部上にゲート電極6Aが形成される。

【0144】ゲート電極6Aは、ドレイン領域11、ソース領域12間の領域上において2つの枠部61、62を有しており、枠部61、62の開口部にボディ領域14が露出している。枠部61、62内それぞれのボディ領域14上にボディコンタクト16、16を設けている。図17において、ゲート幅W方向におけるFS電極5から枠部61までの距離がW1、枠部61、62間の距離がW2、FS電極5から枠部62までの距離がW3となっている。

【0145】なお、FS電極5の外周部に存在するボディ部13においてもゲート電極6Aの両端の延長線上にもボディコンタクト16、16が形成され、これらボディコンタクト16はFS電極5を挟んでドレイン領域11及びソース領域12と平面上対向する位置に存在する。また、図17の最外の外周線L1はSOI層がLO

COS等で絶縁分離される境界線を示している。

【0146】また、ゲート電極A6形成方向の断面形状は図1で示した実施の形態1の断面形状と同様であり、ドレイン領域11、ソース領域12形成方向の断面形状は図9、図11、図13、図14、図21等で示す形状と同様である。また、実施の形態8のMOSTランジスタは、実施の形態1で示したボディ固定電位MOSTランジスタでも、実施の形態2で示したDTMOSTランジスタのどちらでも良い。

【0147】このような平面形状の実施の形態8のMOSTランジスタは、ゲート電極6Aの枠部61、62内にボディコンタクト16が設けられるため、ボディ領域14における固定電位伝達経路が3分割されるため、3分割されたボディ領域14それぞれのゲート幅W1、W2及びW3について式4あるいは式6を満足すれば安定動作が可能となる。

【0148】その結果、ドレイン領域11、ソース領域12及びゲート電極6Aで形成されるMOSTランジスタの実質的なゲート幅として(W1+W2+W3)を設定することができるため、安定動作が可能で、かつ十分大きなゲート幅のMOSTランジスタを形成することができる。

【0149】＜実施の形態9＞図18はこの発明の実施の形態9であるSOI形状のMOSTランジスタの平面形状を示す平面図である。

【0150】同図に示すように、FS電極5Aは4つのスリットSL1～SL4が設けられ、各スリットSL1～SL4内にドレイン領域41～44及びソース領域51～54が形成される。FS電極5Aの下方はボディ部13が形成される。そして、ドレイン領域41～44、ソース領域51～54同及びFS電極5Aの一部上にゲート電極6が形成される。

【0151】そして、実施の形態8同様、FS電極5Aの外周部に存在するボディ部13におけるゲート電極6の両端の延長線上にボディコンタクト16、16が形成される。なお、図18の最外の外周線LIはSOI層がLOCOS等で絶縁分離される境界線を示している。

【0152】また、ゲート電極6形成方向の断面形状は図1で示した実施の形態1の断面形状と同様であり、ドレイン領域41～44、ソース領域51～53形成方向の断面形状は図9、図11、図13、図14、図21等で示す形状と同様である。また、実施の形態9のMOSTランジスタは、実施の形態1で示したボディ固定電位MOSTランジスタでも、実施の形態2で示したDTMOSTランジスタのどちらでも良い。

【0153】このような平面形状の実施の形態9のMOSTランジスタは、FS電極5AのスリットSL1～SL4の境界となるFS電極5Aの領域の下方にはボディ部13が形成されており、ゲート電極6下方のボディ領域14に比べて十分小さい抵抗値による固定電位伝達経

路が確保されるため、ボディ領域14における固定電位伝達経路は4分割され、各ゲート幅W11、W12、W13及びW14について式4あるいは式6を満足すれば安定動作が可能となる。

【0154】その結果、ドレイン領域41～44、ソース領域51～54及びゲート電極6で形成されるMOSTランジスタの実質的なゲート幅として(W11+W12+W13+W14)を設定することができるため、安定動作が可能で、かつ十分大きなゲート幅のMOSTランジスタを形成することができる。

【0155】＜実施の形態10＞図19はこの発明の実施の形態10であるSOI形状のMOSTランジスタの平面形状を示す平面図である。

【0156】同図に示すように、ドレイン領域11、ソース領域12同及びボディ部13の一部上にゲート電極6Bが形成される。ゲート電極6Bは、ドレイン領域11、ソース領域12間の領域上において2つの枠部63、64を有しており、枠部63、64の開口部に露出されるボディ領域14上にそれぞれボディコンタクト16、16を設けている。図19に示すように、ゲート電極6Bのゲート幅W方向におけるゲート電極6Bの境界部から枠部63までの距離がW21、枠部63、64同の距離がW22、ゲート電極6Bの境界部から枠部64までの距離がW23となっている。

【0157】なお、実施の形態8及び実施の形態9同様、ゲート電極6Bの両端の延長線上におけるボディ部13上にもボディコンタクト16、16が形成される。また、図19の最外の外周線LIはSOI層がLOCOS等で絶縁分離される境界線を示している。

【0158】なお、ドレイン領域11、ソース領域12形成方向の断面形状は図9、図11、図13、図14、図21等で示す形状と同様である。また、実施の形態10のMOSTランジスタは、実施の形態1で示したボディ固定電位MOSTランジスタでも、実施の形態2で示したDTMOSTランジスタのどちらでも良い。

【0159】このような平面形状の実施の形態10のMOSTランジスタは、ゲート電極6Bの図19上に横方向に形成される左端及び右端の“I”部分によって、H型ゲートの左右の“I”と同様、ボディ部13(ボディ領域14)とドレイン領域11及びソース領域12とを電気的に分離することができる。

【0160】そして、実施の形態10のMOSTランジスタは、ゲート電極6Bの枠部63、64内にボディコンタクト16が設けられるため、実施の形態8同様、ボディ領域14における固定電位伝達経路が3分割され、各ゲート幅W21、W22及びW23について式4あるいは式6を満足すれば安定動作が可能となる。

【0161】その結果、ドレイン領域11、ソース領域12及びゲート電極6Bで形成されるMOSTランジスタの実質的なゲート幅として(W21+W22+W2

3)を設定することができるため、安定動作が可能で、かつ十分大きなゲート極のMOSTランジスタを形成することができる。

【0162】また、FS電極の形成を省略する分、ボディ部13の形成面積を小さくすることができ、この相成でDTMOSTランジスタを相成するとより早い動作速度を達成することができる。

【0163】＜その他＞上記した実施の形態のMOSTランジスタと用い、各実施の形態のゲート電極が所定の制約条件を満足する範囲でゲートアレイを相成してもよい。また、上記実施の形態では、主としてNMOSTランジスタを例に挙げたが、PMOSTランジスタにも本発明が適用可能なのは勿論である。

【0164】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体装置の設計方法のステップ(b)は、C：MOSTランジスタのゲート容量(F)、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗(Ωm)、f：所定のクロックの動作周波数(Hz)としたとき、 $f \geq 500 MHz$ の範囲において、条件式： $R \cdot C \cdot f < 1$ を満足するようにMOSTランジスタのレイアウトパターンを決定しているため、高速動作時においても常に動作速度が安定したボディ電位固定のMOSTランジスタを設計することができる。

【0165】この発明における請求項2記載の半導体装置の設計方法は、C：MOSTランジスタのゲート容量(F)、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗(Ωm)、t_d：MOSTランジスタに要求する信号伝達遅延時間(s)としたとき、t_d ≤ 50psの範囲において、条件式： $(R \cdot C) / t_d < 1$ を満足するようにMOSTランジスタのレイアウトパターンを決定しているため、高速動作時においても常に動作速度が安定したゲート電極、ボディ部短絡相違のMOSTランジスタを設計することができる。

【0166】請求項3記載の半導体装置は、請求項1記載の半導体装置の設計方法によって設計されるため、高速動作時においても動作速度が安定したボディ電位固定のMOSTランジスタを得ることができる。

【0167】請求項4記載の半導体装置は、請求項2記載の半導体装置の設計方法によって設計されるため、高速動作時においても動作速度が安定したゲート電極、ボディ部短絡相違のMOSTランジスタを得ることができる。

【0168】この発明における請求項5記載の半導体装置は、C：MOSTランジスタのゲート容量(F)、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗(Ωm)、f：所定のクロックの動作周波数(Hz)としたとき、 $f \geq 500 M$

Hzの範囲において、条件式： $R \cdot C \cdot f < 1$ を満足するようにMOSTランジスタを形成しているため、高速動作時においても動作速度が安定したボディ電位固定のMOSTランジスタを得ることができる。

【0169】この発明における請求項6記載の半導体装置は、C：MOSTランジスタのゲート容量(F)、R：少なくとも1つのボディコンタクトからボディ領域に至る固定電位伝達経路の抵抗(Ωm)、t_d：MOSTランジスタに要求する信号伝達遅延時間(s)としたとき、t_d ≤ 50psの範囲において、条件式： $(R \cdot C) / t_d < 1$ を満足するようにMOSTランジスタを形成しているため、高速動作時においても動作速度が安定したゲート電極、ボディ部短絡相違のMOSTランジスタを得ることができる。

【0170】請求項7記載の半導体装置は、ボディ部の抵抗Rは、W：ボディ領域における固定電位伝達経路のゲート電極のゲート幅方向の長さ、L：ボディ領域における前記固定電位伝達経路のゲート電極のゲート長方向の長さ、t_{SOI}：SOI層の膜厚、ρ：ボディ領域の比抵抗としたとき、 $R = (\rho \cdot W) / (L \cdot t_{SOI})$ で決定するため、SOI層の膜厚、ボディ領域の比抵抗を予め設定することにより、ボディ領域の大きさの許容範囲を求めることができる。

【0171】請求項8記載の半導体装置において、ボディ領域を除く第1及び第2の半導体領域に隣接したボディ部に絶縁膜を介して形成される分置電極を備え、分置電極を挟んで第1及び第2の半導体領域と平面上対向する位相のボディ部の領域上に分置電極外ボディコンタクトが形成されるため、この分置電極に逆バイアス電圧を印加することによって、分置電極外ボディコンタクトと第1及び第2の半導体領域との間を電気的に分離し、分置電極外ボディコンタクトから得られる固定電位が第1及び第2の半導体領域に悪影響を与えないようにすることができる。

【0172】請求項9記載の半導体装置において、ゲート電極はボディ領域のボディコンタクト可能領域が露出する開口部を有し、ボディコンタクトは、ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含んでいる。

【0173】したがって、ボディ領域における固定電位伝達経路はゲート電極内ボディコンタクトによって分割されるため、ゲート電極内ボディコンタクトによって分割されたボディ領域単位で条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0174】請求項10記載の半導体装置において、複数の第1及び第2の半導体領域をそれぞれボディ部で分離形成されている。

【0175】したがって、ボディ領域における固定電位伝達経路は、上記複数の第1及び第2の半導体領域をそ

れぞれ分離するボディ部によって分割されるため、MOSトランジスタにおける複数の第1及び第2の半導体領域それぞれが上記条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0176】請求項11記載の半導体装置において、ゲート電極は第1及び第2の半導体領域に隣接したボディ部上を、ボディ領域上からゲート長方向にさらに延びて形成され、ゲート電極外ボディコンタクトはゲート電極を挟んで第1及び第2の半導体領域と平面上対向するボディ部の領域上に形成される。

【0177】したがって、ゲート電極にOFF電圧を印加することによって、ゲート電極外ボディコンタクトと第1及び第2の半導体領域との間を電気的に分離し、ゲート電極外ボディコンタクトから得られる固定電位が第1及び第2の半導体領域に悪影響を与えないようにすることができる。

【0178】請求項12記載の半導体装置において、ゲート電極はボディ領域のボディコンタクト可能領域が露出する開口部を有し、ボディコンタクトは、ボディコンタクト可能領域上に形成されるゲート電極内ボディコンタクトをさらに含んでいる。

【0179】したがって、ボディ領域における固定電位伝達経路はゲート電極内ボディコンタクトによって分割されるため、MOSトランジスタは分割されたボディ領域単位で条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0180】請求項13記載の半導体装置において、少なくとも1つのボディコンタクトは、ゲート電極のゲート幅方向の一端及び他端の延長線上に位置するボディ部上に形成される第1及び第2のボディコンタクトとを含んでいる。

【0181】したがって、ボディ領域における固定電位伝達経路は第1及び第2のボディコンタクトによって分割されるため、MOSトランジスタは2分割されたボディ領域単位で条件式1あるいは条件式2を満足すれば良くなる分、ゲート電極のゲート幅方向のボディ領域全体の長さを長く設定することができる。

【0182】請求項14記載の半導体装置において、ボディ領域の下層部にある第2のボディ領域は、第1のボディ領域の第2の導電型の不純物濃度よりも高い第2の導電型の不純物濃度を有するため、ボディ領域全体を第1のボディ領域の不純物濃度にする場合に比べてボディ領域の比抵抗を減少させることができる。

【0183】その結果、条件式1あるいは条件式2を満足するパラメータのうち、ボディ領域の比抵抗、ボディ領域における固定電位伝達経路のゲート電極のゲート幅方向の長さ以外のパラメータがすべて同条件の場合、ボディ領域の比抵抗を低下させる分、上記ゲート幅方向の

長さを長く設定することができる。

【0184】請求項15記載の半導体装置において、比較的不純物濃度が高い第1及び第2の部分ボディ領域は、比較的不純物濃度が高い第1及び第2の主領域と界面を接して形成され、比較的不純物濃度が低い第1のボディ領域は第1及び第2の主領域と界面を接することなく形成されたため、第1及び第2の主領域からの空乏層の伸びを第1及び第2の部分ボディ領域によって確実に抑制することができ、パンチスルーに強い構造のMOSトランジスタを得ることができる。

【0185】また、比較的不純物濃度の低い第1及び第2の部分半導体領域はそれぞれ第1及び第2の部分ボディ領域よりゲート電極の中心方向に所定距離延びて形成されるため、第1及び第2の部分ボディ領域の比較的高い不純物濃度がチャネル形成時のMOSトランジスタの電流特性に悪影響を与えることもない。

【0186】請求項16記載の半導体装置において、比較的不純物濃度が低い第1及び第2の部分半導体領域はそれぞれ第1及び第2の半導体領域間に対向する一部分の領域にSOI層を貫通して形成される。

【0187】したがって、比較的不純物濃度が高い第2のボディ領域と比較的不純物濃度が高い第1あるいは第2の半導体領域とが界面を接することがないため、ジャンクションリークを最小限に抑えることができる。

【0188】請求項17記載の半導体装置において、比較的不純物濃度が高い第2のボディ領域は、第1及び第2の主領域と界面を接することなく下層部の中心領域に形成される。

【0189】したがって、比較的不純物濃度が高い第2のボディ領域と比較的不純物濃度が高い第1あるいは第2の半導体領域とが界面を接することがないため、ジャンクションリークを最小限に抑えることができる。

【0190】請求項18記載の半導体装置において、ボディ電位を固定するMOSトランジスタは膜厚が比較的に厚い第1の領域上に形成され、ボディフローティングMOSトランジスタは膜厚が比較的に薄い第2の領域上に形成される。

【0191】したがって、条件式1あるいは条件式2を満足するパラメータのうち、SOI層の膜厚、ゲート電極のゲート幅方向のボディ領域の長さ以外のパラメータがすべて同条件の場合、SOI層の膜厚を厚くする分、ボディ電位を固定するMOSトランジスタのゲート幅方向のボディ領域の長さを長く設定することができる。

【0192】一方、ボディフローティングMOSトランジスタは、ボディ電位を固定するMOSトランジスタに影響を与えることなく、所望の動作特性を得るようにSOI層の膜厚を薄くして形成することができる。

【0193】この発明における請求項19記載の記録媒体は、請求項1あるいは請求項2記載の半導体装置の設計方法を実行させるためのプログラムが記録されている

ため、このプログラムをコンピュータに実行させることにより、高速度動作時においても常に安定動作が可能な、ボディ電位固定のMOSTランジスタゲート電極、あるいはボディ部短絡配線のMOSTランジスタを設計することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の設計方法で設計されるSOI配線のMOSTランジスタの配成を示す平面図である。

【図2】 図1のA-A断面を示す断面図である。

【図3】 実施の形態1のボディコンタクト配成を示す平面図である。

【図4】 実施の形態1の半導体装置の設計方法の処理手順を示すフローチャートである。

【図5】 実施の形態1の設計方法を実行するレイアウトパターン生成装置を示すブロック図である。

【図6】 実施の形態1のHゲート電極配成を示す平面図である。

【図7】 実施の形態2の半導体装置の設計方法の処理手順を示すフローチャートである。

【図8】 実施の形態3の配造（その1）を示す断面図である。

【図9】 実施の形態3の配造（その2）を示す断面図である。

【図10】 不純物濃度と比抵抗との関係を示すグラフである。

【図11】 実施の形態4の配造（その1）を示す断面図である。

【図12】 実施の形態4の製造方法を示す断面図である。

【図13】 実施の形態5の配造を示す断面図である。

【図14】 実施の形態6の配造を示す断面図である。

【図15】 実施の形態6の製造方法を示す断面図である。

【図16】 実施の形態7の配造を示す断面図である。

【図17】 実施の形態8の配成を示す平面図である。

【図18】 実施の形態9の配成を示す平面図である。

【図19】 実施の形態10の配成を示す平面図である。

【図20】 フィールド分離配線を有する半導体装置の全体配成を示す斜視図である。

【図21】 SOI配線のMOSTランジスタを示す断面図である。

【図22】 従来のSOI配線のMOSTランジスタの同図点を指摘したグラフである。

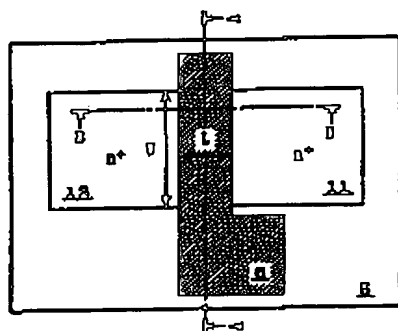
【図23】 ボディ電位固定のMOSTランジスタを模式的に示した説明図である。

【図24】 DTMOSTランジスタを模式的に示した説明図である。

【符号の説明】

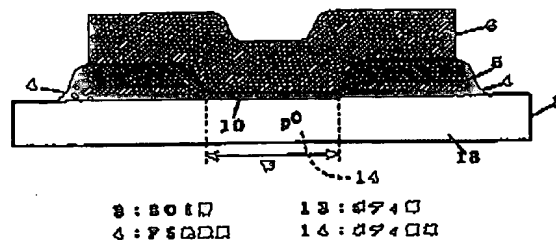
4 FS絶縁膜、5 5A FS電極、6、6A、6B ゲート電極、11ドレイン領域、11A～11C 部分ドレイン領域、12 ソース領域、12A～12C 部分ソース領域、13、23 ボディ部、14、14A～14H ボディ領域、15 サイドウォール、16 ボディコンタクト、26 Hゲート電極、100 レイアウトパターン生成装置、101 記録媒体、A1 ボディ固定ランジスタ領域、A2 ボディフローティングランジスタ領域。

【図1】



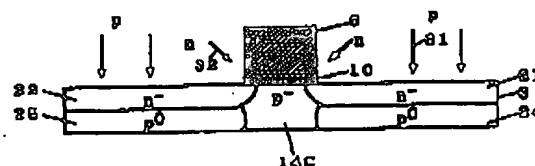
6:FS電極
11:ドレイン領域
6:ゲート電極
12:ソース領域

【図2】

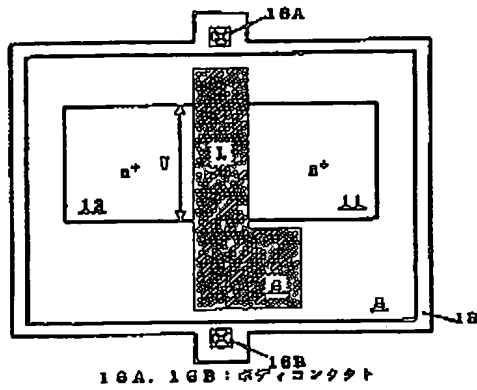


8:SOI膜
4:FS絶縁膜
13:ゲート電極
14:ゲート電極

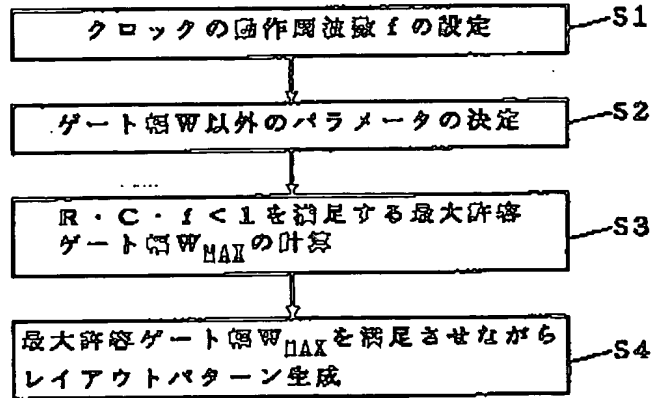
【図12】



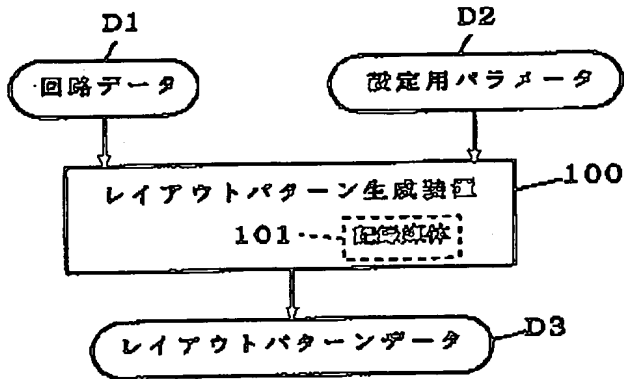
【図3】



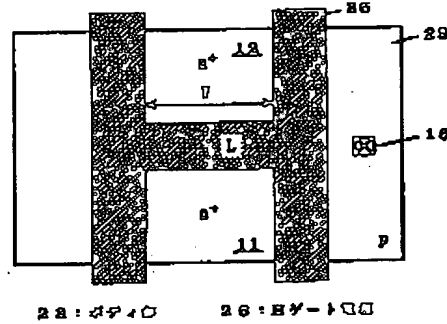
【図4】



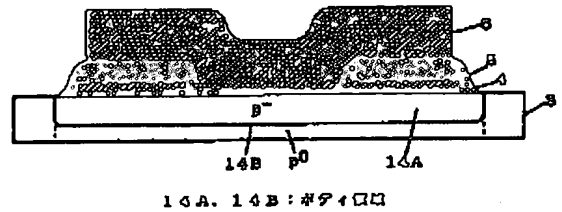
【図5】



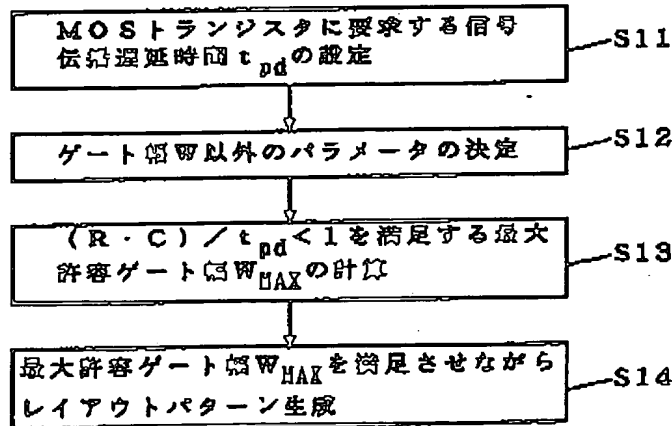
【図6】



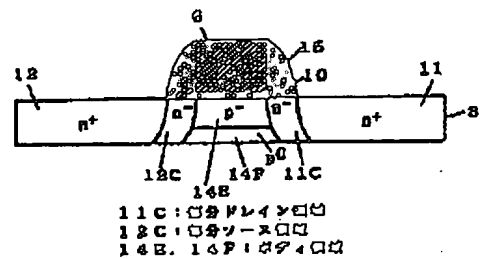
【図8】



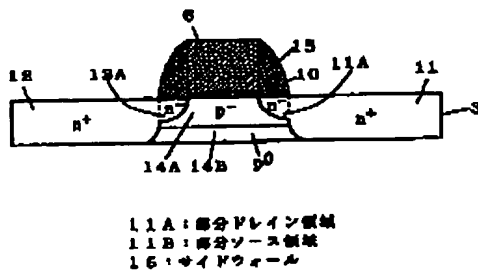
【図7】



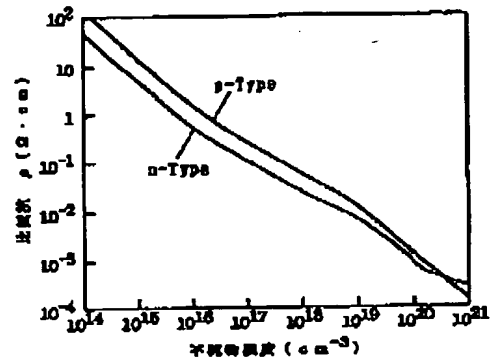
【図13】



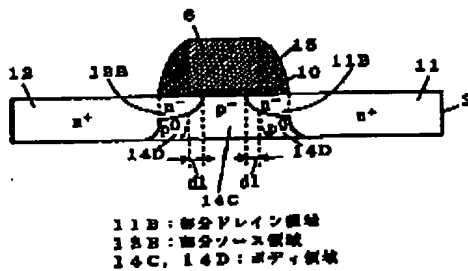
【図9】



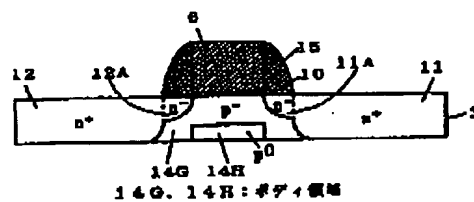
【図10】



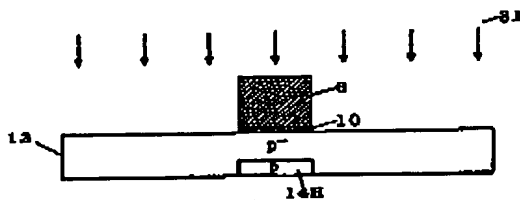
【図11】



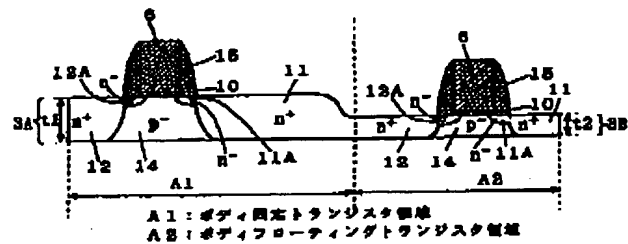
【図14】



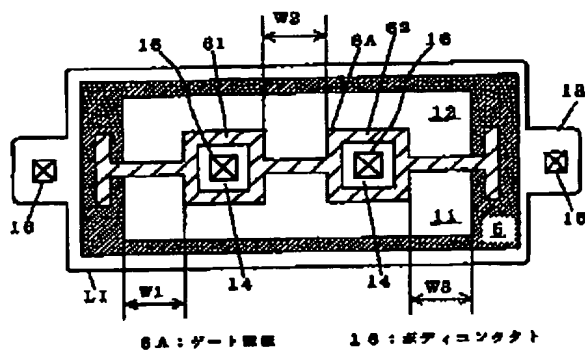
【図15】



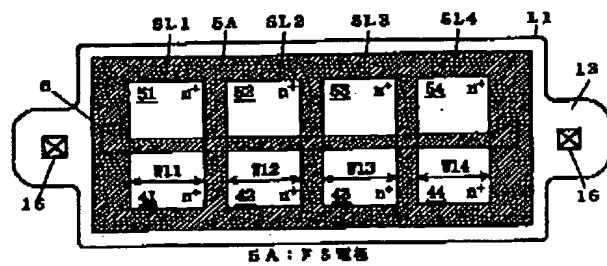
【図16】



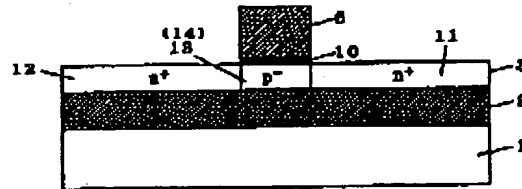
【図17】



【図18】

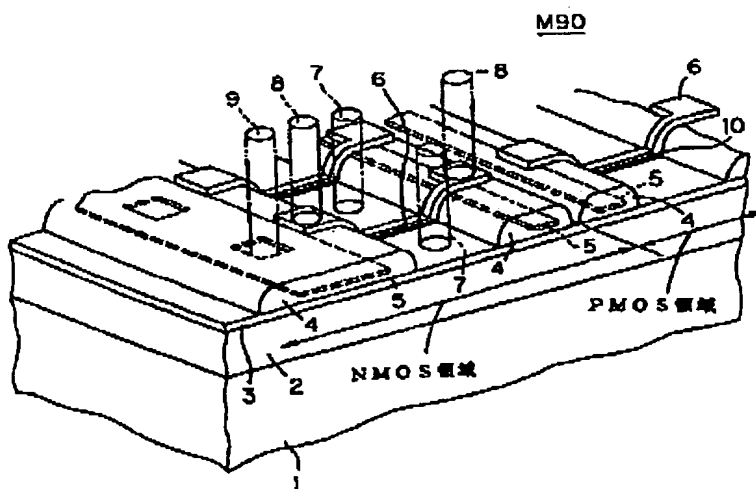


【~~2~~21】

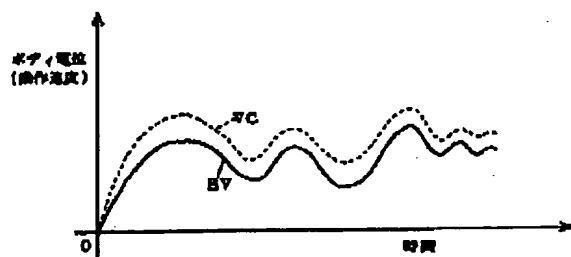


●B:ゲート電極

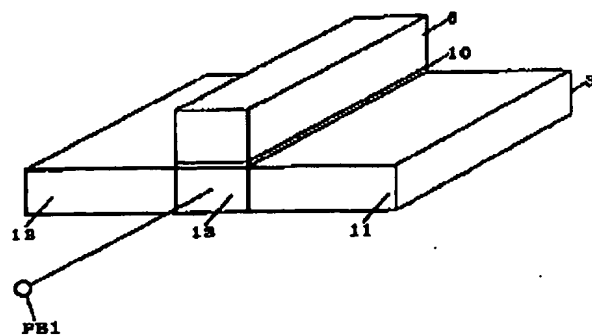
【例20】



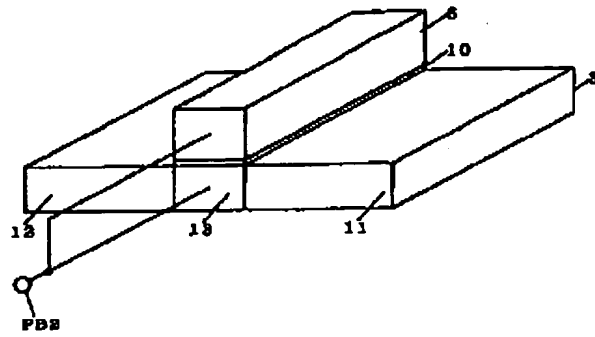
【图22】



【圖23】



【図24】



(1) Japanese Patent Application Laid-Open No. 11-340472 (1999)

"Method of Designing Semiconductor Device, Semiconductor Device and Recording Medium"

5 The following is an English translation of an extract of the above application.

A method of designing a MOS transistor having the FS isolation structure is also applied to an H-shaped gate electrode. A pair of opposed of an H-shaped gate electrode 26, "I" which correspond to the stems of the letter "H" provide electrical isolation between
10 body portions 23 arranged adjacent to the drain and source regions 11 and 12 along the gate width W and the drain and source regions 11 and 12. A middle part of the H-shaped gate electrode 26, "—" which corresponds to the bar of the letter "H" functions as the original gate electrode of the MOS transistor.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device which has the MOS transistor formed on the SOI substrate.

[0002]

[Description of the Prior Art] Drawing 20 is the cross-section perspective diagram showing the cross-section structure of the conventional semiconductor device M90 of having a field isolation construction used as the background of this invention. This semiconductor device is constituted as a SOI type semiconductor device which used the SOI substrate equipped with the semiconductor layer formed in the shape of a film on the insulating substrate, i.e., a SOI (semiconductor-on-insulator) layer, as a semiconductor substrate from which a transistor element etc. is made.

[0003] As shown in drawing 20, in the semiconductor device M90, the silicon semiconductor layer is formed as a SOI layer 3 on the insulating substrate which consists of a support substrate 1 and an embedded oxide film 2. This SOI layer 3 includes the formation field of many NMOS transistors, and the formation field of a PMOS transistor. And the plate-like field screening electrode (it is henceforth written as "FS electrode") 5 for separating these element fields electrically mutually is formed in the boundary of each element field of the SOI layer 3.

[0004] In drawing 20, on the SOI layer 3, the FS electrode 5 opens a predetermined interval and is arranged in parallel so that an active region may be specified in each element field. And the FS electrode 5 is covered by the field shield insulating layer 4 (it is henceforth written as "FS insulating layer"), and the gate electrode 6 is arranged so that it may cross to the upper part of two FS insulating layers 4 which are parallel from an active region. In addition, the gate oxide film 10 is formed between the gate electrode 6 and the active region. FS insulating layer consists of oxides and between the FS electrode 5 and the gate electrodes 6 is electrically insulated by this FS insulating layer 4.

[0005] The source field and drain field (not shown in drawing 20) in the SOI layer 3 are electrically connected with the drain electrode and the source electrode (not shown in drawing 20) through the contact hole 7 prepared in the insulating layer which is not illustrated, and the gate electrode 6 is connected to gate wiring (not shown in drawing 20) through the contact hole 8.

[0006] Moreover, the body contact electrode (not shown in drawing 20) is connected to the SOI layer 3 through the contact hole 9. In addition, in drawing 20, although the composition which the contact hole 9 connected to a body contact electrode penetrates the FS electrode 5, and is connected to the SOI layer 3 was shown, the composition it is made to form a contact hole 9 on the SOI layer 3 on the outside of the FS electrode 5 is also common.

[0007] In a semiconductor device M90, by impressing supply voltage Vcc to the FS electrode 5 by 0V and PMOS structure with NMOS structure, the SOI layer 3 of an isolation region is made into a cut off state, consequently electric separation between element fields is realized.

[0008] In addition, in drawing 20, the structure which makes floating the body part in the SOI layer 3 is also considered, without forming the contact hole 9 for body voltage clamps.

[0009] Drawing 21 is a cross section in which a body part shows the cross-section structure of the MOS transistor of the N type of the SOI structure of floating.

[0010] As shown in this drawing, the embedded oxide film 2 is formed on the support substrate 1, and the SOI layer 3 is formed on the embedded oxide film 2. The drain field 11 and the source field 12 of N type are alternatively formed in the SOI layer 3, and the field portion of the P type of the SOI layer 3 including the body field between the drain field 11 and the source field 12 is specified as a body part 13.

[0011] The gate electrode 6 is formed through the gate oxide film 10 on the body part 13 between the drain field 11 and the source field 12.

[0012] In the MOS transistor of the SOI structure of such composition, when the potential of a body part 13 is not fixed, in response to the influence of the signal which flows the drain field 11 and the source field 12, the body potential BV changes like drawing 22, and the working speed VC of an MOS transistor changes with change of the body potential BV. Here, the relation between the body potential of drawing 22 and a working speed is a relative value on the basis of time = 0.

[0013] Then, how to prepare the contact hole 9 grade for body voltage clamps shown by drawing 20, and carry out the voltage clamp of the body part 13 can be considered. Drawing 23 is explanatory drawing showing typically the MOS

transistor structure which fixed body potential. As shown in drawing 23, the voltage clamp of the body part 13 is carried out with the body terminal PB1.

[0014] Moreover, as shown in drawing 24, the gate electrode 6 and a body part 13 are short-circuited, and making it DT (DynamicThreshold) MOS structure which gave common potential with the body terminal PB2 is also considered.

[0015]

[Problem(s) to be Solved by the Invention] The working speed was able to be stabilized [as shown in drawing 23 or drawing 24,] when the MOS transistor of the conventional SOI structure performed the voltage clamp of a body part 13, and a working speed was comparatively slow.

[0016] However, when a frequency of operation performed high-speed operation synchronizing with a clock 500MHz or more, the demand to the timing of the signal transfer between each circuit became very severe, the same phenomenon as the case where a body part 13 is floating also produced the MOS transistor of the structure shown by drawing 23 and drawing 24, and there was a trouble that a working speed will be influenced -- operational stability becomes impossible.

[0017] It was not made in order that this invention might solve the above-mentioned trouble, and it aims at acquiring the semiconductor device which has the transistor of the SOI structure where a working speed is not influenced at the time of high-speed operation, and its design method.

[0018]

[Means for Solving the Problem] The design method of the semiconductor device according to claim 1 concerning this invention It is formed on the SOI substrate which consists of a support substrate, an embedded oxide film, and a SOI layer. It is the method of designing the semiconductor device which has the MOS transistor which operates based on a predetermined clock. the aforementioned MOS transistor The 1st semiconductor region of the 1st conductivity type alternatively formed in the aforementioned SOI layer, The 2nd semiconductor region of the 1st conductivity type alternatively formed independently with the 1st semiconductor region of the above in the aforementioned SOI layer, The body part of the 2nd conductivity type including the body field which is a field of the aforementioned SOI layer between the above 1st and the 2nd semiconductor region, The gate electrode formed through a gate oxide film on the aforementioned body field, The step which is electrically connected to the aforementioned body part, is equipped with at least one body contact which receives fixed potential, and gives the frequency of operation of a (a) aforementioned predetermined clock, (b) It has the step which determines the layout pattern of the aforementioned MOS transistor based on the frequency of operation of the aforementioned predetermined clock. the aforementioned step (b) gate-capacitance (F) R: of the C: aforementioned MOS transistor -- the above, when it considers as the frequency of operation (Hz) of the resistance (omega) f: aforementioned predetermined clock of a fixed potential transfer path from one body contact to [even if few] the aforementioned body field In the range of $f \geq 500\text{MHz}$, it is determined that the layout pattern of the aforementioned MOS transistor will satisfy conditional-expression 1: $R-C-f < 1$.

[0019] The design method of the semiconductor device according to claim 2 concerning this invention It is the method of designing the semiconductor device which has the MOS transistor formed on the SOI substrate which consists of a support substrate, an embedded oxide film, and a SOI layer. the aforementioned MOS transistor The 1st semiconductor region of the 1st conductivity type alternatively formed in the aforementioned SOI layer, The 2nd semiconductor region of the 1st conductivity type alternatively formed independently with the 1st semiconductor region of the above in the aforementioned SOI layer, The body part of the 2nd conductivity type including the body field which is a field of the aforementioned SOI layer between the above 1st and the 2nd semiconductor region, It has the gate electrode formed through a gate oxide film on the aforementioned body field. Connect with the aforementioned body part electrically and the aforementioned gate electrode is electrically connected to it at the aforementioned body part. The step which gives the signal propagation-delay time which is further equipped with at least one body contact which receives fixed potential, and is required of the (a) aforementioned MOS transistor, (b) It has the step which determines the layout pattern of the aforementioned MOS transistor based on the aforementioned signal propagation-delay time. the aforementioned step (b) When it considers as the signal propagation-delay time (s) required of the resistance (omega) td: aforementioned MOS transistor of a fixed potential transfer path from one body contact to [even if few] the aforementioned body field, it sets in the range of $td \leq 50\text{ps}$. gate-capacitance (F) R: of the C: aforementioned MOS transistor -- the above -- Conditional-expression 2: $(R-C)$ satisfy $/td < 1$ -- it is determined that the layout pattern of the aforementioned MOS transistor will come

[0020] The semiconductor device according to claim 3 is designed by the design method of a semiconductor device according to claim 1.

[0021] The semiconductor device according to claim 4 is designed by the design method of a semiconductor device according to claim 2.

[0022] The semiconductor device according to claim 5 concerning this invention It is formed on the SOI substrate which consists of a support substrate, an embedded oxide film, and a SOI layer, and has the MOS transistor which operates based on a predetermined clock. the aforementioned MOS transistor The 1st semiconductor region of the 1st conductivity type alternatively formed in the aforementioned SOI layer, The 2nd semiconductor region of the 1st conductivity type alternatively formed independently with the 1st semiconductor region of the above in the aforementioned SOI layer, The body part of the 2nd conductivity type including the body field which is a field of the aforementioned SOI layer between the above 1st and the 2nd semiconductor region, The gate electrode formed through a gate oxide film on the aforementioned body field, Connect with the aforementioned body part electrically and it has at least one body contact which receives fixed potential. gate-capacitance (F) R: of the C: aforementioned MOS transistor -- the above, when it considers as the frequency of operation

(Hz) of the resistance (ω) f: aforementioned predetermined clock of a fixed potential transfer path from one body contact to [even if few] the aforementioned body field Conditional-expression 1: $R-C-f < 1$ is satisfied in the range of $f \geq 500\text{MHz}$.
 [0023] The semiconductor device according to claim 6 concerning this invention It has the MOS transistor formed on the SOI substrate which consists of a support substrate, an embedded oxide film, and a SOI layer. the aforementioned MOS transistor The 1st semiconductor region of the 1st conductivity type alternatively formed in the aforementioned SOI layer, The 2nd semiconductor region of the 1st conductivity type alternatively formed independently with the 1st semiconductor region of the above in the aforementioned SOI layer, The body part of the 2nd conductivity type including the body field which is a field of the aforementioned SOI layer between the above 1st and the 2nd semiconductor region, It has the gate electrode formed through a gate oxide film on the aforementioned body field. Connect with the aforementioned body part electrically and the aforementioned gate electrode is electrically connected to it at the aforementioned body part. It has further at least one body contact which receives fixed potential. When it considers as the signal propagation-delay time (s) required of the resistance (ω) td: aforementioned MOS transistor of a fixed potential transfer path from one body contact to [even if few] the aforementioned body field, it sets in the range of $td \leq 50\text{ps}$. gate-capacitance (F) R: of the C: aforementioned MOS transistor -- the above -- Conditional expression 2: $(R-C)/td < 1$ is satisfied.

[0024] In a semiconductor device according to claim 7 the resistance R of the aforementioned fixed potential transfer path W: Length [of the gate width direction of the aforementioned gate electrode of the aforementioned fixed potential transfer path in the aforementioned body field] L : The length of the direction of gate length of the aforementioned gate electrode of the aforementioned fixed potential transfer path in the aforementioned body field, tSOI: Thickness of an aforementioned SOI layer, rho: When it considers as the specific resistance of the aforementioned body field, determine by $\{R=(\rho \cdot W)/(L \cdot t\text{SOI})\}$.

[0025] In a semiconductor device according to claim 8 the aforementioned body part It is prolonged from the aforementioned body field and the field which the above 1st and the periphery section of the 2nd semiconductor region adjoin in part at least, and is formed is included. Except for the aforementioned body field, it has further the separation electrode formed through an insulator layer on the aforementioned body part which the above 1st and the periphery section of the 2nd semiconductor region adjoined in part at least. the above -- even if few, the aforementioned separation electrode of one body contact is pinched, and the body contact outside a separation electrode formed on the above 1st and the 2nd semiconductor region, and the field of the body part which counters on a flat surface is included

[0026] opening to which the aforementioned body field has the field which can form the aforementioned body contact, and which can be body contacted, and the aforementioned field which can be body contacted exposes the aforementioned gate electrode in a semiconductor device according to claim 9 -- having -- the above -- the body contact in a gate electrode in which one body contact is formed on [aforementioned / which can be body contacted] a field even if few is included further

[0027] In a semiconductor device according to claim 10, the 1st semiconductor region of the above contains two or more 1st semiconductor regions. The 2nd semiconductor region of the above includes the field where the aforementioned body part is formed between the 1st of the aforementioned plurality, and the 2nd semiconductor region so that discrete separation of the semiconductor region of the two or more aforementioned 1st [the] and the aforementioned 2nd may be carried out including two or more 2nd semiconductor regions. The aforementioned separation electrode is further formed on the aforementioned body part which carries out discrete separation of the semiconductor region of the two or more aforementioned 1st [the] and the aforementioned 2nd.

[0028] In a semiconductor device according to claim 11 the aforementioned body part It adjoins in the above 1st and the gate width direction of the 2nd semiconductor region, and the field formed in the direction of gate length by being prolonged from the aforementioned body field is included. the aforementioned gate electrode The aforementioned gate electrode of one body contact is pinched. from on the aforementioned body field, it is further prolonged in the aforementioned gate-length direction, and the aforementioned body part top which adjoined the above 1st and the 2nd semiconductor region in the gate width direction is formed in it -- having -- the above, even if few The body contact outside a gate electrode formed on the above 1st and the 2nd semiconductor region's, and the field of the aforementioned body part which counters on a flat surface is included.

[0029] opening to which the aforementioned body field has the field which can form the aforementioned body contact, and which can be body contacted, and the field which can be body contacted exposes the aforementioned gate electrode in a semiconductor device according to claim 12 -- having -- the above -- the body contact in a gate electrode in which one body contact is further formed on [aforementioned / which can be body contacted] a field even if few is included

[0030] a semiconductor device according to claim 13 -- setting -- the above -- the 2nd body contact formed on the aforementioned body part on the extension wire of the 1st body contact formed on the aforementioned body part to which one body contact is located on the extension wire of the end of the gate width direction of the aforementioned gate electrode even if few, and the other end of the gate width direction of the aforementioned gate electrode is included

[0031] In the semiconductor device according to claim 14, the aforementioned body field has the 1st body field by which at least a part is formed in a management, and the 2nd body field formed in the lower layer section, and the body field of the above 2nd has the high impurity concentration of the 2nd conductivity type higher than the high impurity concentration of the 2nd conductivity type of the body field of the above 1st.

[0032] In a semiconductor device according to claim 15, the 1st semiconductor region of the above has the 1st main field and the 1st partial semiconductor region. The 2nd semiconductor region of the above has the 2nd main field and the 2nd partial

semiconductor region. It is formed in a field. some managements which the above 1st and the 2nd partial semiconductor region counter between the 1st and 2nd semiconductor regions, respectively -- As for the above 1st and the 2nd partial semiconductor region, the high impurity concentration of the 1st conductivity type is low set up from the 1st and 2nd main fields, respectively. The body field of the above 2nd includes the 1st and 2nd partial body fields. the above 1st and the 2nd partial body field The above 1st, and the 2nd main field and interface are formed respectively in contact with some lower parts of the above 1st and the 2nd partial semiconductor region. The aforementioned body field except the above 1st and the 2nd partial body field turns into a body field of the above 1st. The body field of the above 1st is formed without touching the above 1st, and the 2nd main field and interface, and predetermined distance stretch ***** of the above 1st and the 2nd partial semiconductor region is carried out in the direction of a center of the aforementioned gate electrode from the above 1st and the 2nd partial body field, respectively.

[0033] In a semiconductor device according to claim 16, the 1st semiconductor region of the above has the 1st main field and the 1st partial semiconductor region. The 2nd semiconductor region of the above has the 2nd main field and the 2nd partial semiconductor region. The above 1st and the 2nd partial semiconductor region penetrate the aforementioned SOI layer to some fields which counter between the 1st and 2nd semiconductor regions, respectively, and are formed in them, and, as for the above 1st and the 2nd partial semiconductor region, the high impurity concentration of the 1st conductivity type is low set up from the 1st and 2nd main fields, respectively.

[0034] In a semiconductor device according to claim 17, the 1st semiconductor region of the above has the 1st main field and the 1st partial semiconductor region. The 2nd semiconductor region of the above has the 2nd main field and the 2nd partial semiconductor region. The above 1st and the 2nd partial semiconductor region are formed in some fields which counter between the 1st and 2nd semiconductor regions, respectively. As for the above 1st and the 2nd semiconductor region, the high impurity concentration of the 1st conductivity type is low set up from the 1st and 2nd main fields, respectively, and the body field of the above 2nd is formed, without touching the central field of the lower layer section of the aforementioned body field in the above 1st, and the 2nd main field and interface.

[0035] In the semiconductor device according to claim 18, it has further the body floating MOS transistor which does not fix body potential, the aforementioned SOI layer has the 2nd field of the 2nd thickness thinner than the 1st field and the 1st thickness of the above of the 1st thickness, the aforementioned MOS transistor is formed on the field of the above 1st, and the aforementioned body floating MOS transistor is formed on the field of the above 2nd.

[0036] The program for the record medium according to claim 19 in this invention performing the design method of a claim 1 or a semiconductor device according to claim 2 is recorded.

[0037]

[Embodiments of the Invention] <Form 1 of operation> drawing 1 is the plan showing the flat-surface composition of the NMOS transistor of the SOI structure by FS separation designed by the design method of the semiconductor device which is the form 1 of implementation of this invention. Moreover, drawing 2 is the cross section showing the A-A cross section of drawing 1. As shown in these drawings, the FS electrode 5 is formed through the FS insulating layer 4 on the body part 13 in the circumference adjoining field of the drain field 11 of N type, and the source field 12. Here, a body part 13 means the field of the P type formed by being prolonged from the body field 14 and the body field 14 between the drain field 11 and the source field 12.

[0038] a part of body field 14 top and FS electrode 5 -- the gate electrode 6 is formed upwards the gate electrode 6 is formed through the gate oxide film 10 on the body field 14 -- having -- a part of FS electrode 5 -- it is formed through the FS insulating layer 4 upwards Moreover, although not illustrated in drawing 1 and drawing 2, body contact is formed on the body part 13 located in a flat-surface top periphery to the FS electrode 5.

[0039] Of such structure, the MOS transistor which consists of a gate electrode 6 of the drain field 11, the source field 12 and gate-length L, and gate width W is formed.

[0040] Body potential is not directly transmitted to the drain field 11 and the source field 12 from the body part 13 of the periphery section of the drain field 11 excluding [the period when the isolation by the FS electrode 5 is committing the MOS transistor by FS separation of such structure] the body field 14, and the source field 12.

[0041] In the MOS transistor of such structure, gate-capacitance C of gate oxide-film thick tOX and gate-length L and gate width W is determined by the formula 1 shown below.

[0042]

[Equation 1]

$$C = K_0 \epsilon_0 \frac{L \cdot W}{t_{ox}} \quad \text{--- (1)}$$

[0043] Resistance of the body field 14 in the direction of A-A under the gate electrode 6 determines substantially the body resistance R of the body part 13 which is equivalent to the resistance of a fixed potential transfer path from the body contact 16 to the body field 14 on the other hand. Since fields other than body field 14 of a body part 13 have been the fixed potential transfer paths of sufficiently large width of face compared with gate-length L, the resistance is because it is the level which can be disregarded compared with resistance of the body field 14.

[0044] Therefore, the epsilon0:dielectric constant of vacuum, specific inductive capacity of the K0:gate oxide film 10, rho: If it is the specific resistance of the body field 14, and the thickness tSOI of the tSOI:SOI layer 3, the body resistance R will be

determined by the formula 2 shown below.

[0045]

[Equation 2]

$$R = \rho \cdot \frac{W}{L \cdot t_{SOI}} \quad \text{--- (2)}$$

[0046] However, if it says correctly, gate width W in the length of the direction of gate length of the gate electrode 6 of a fixed potential transfer path [in / the body field 14 / in gate-length L in a formula 2] and a formula 2 will become the length of the gate width direction of the gate electrode 6 of the fixed potential transfer path kicked to the body field 14. Here, the length of the gate width direction of the fixed potential transfer path in the body field 14 is almost equal to gate width W of the gate electrode 6, and the length of the direction of gate length has determined the formula 2 supposing the case of being almost equal to gate-length L of the gate electrode 6.

[0047] When high-speed operation 500MHz or more was required and the frequency of operation f of a clock satisfied the conditions shown in the following formula 3 by the simulation result based on frequency-of-operation [of the clock with which gate-capacitance C (F) determined by the formula 1 and the formula 2 and the MOS transistor which has the body resistance R (ohm) operate] f (Hz), it found out that an MOS transistor operated stably.

[0048]

[Equation 3]

$$R \cdot C \cdot f < 1 \quad \text{--- (3)}$$

[0049] A formula 3 can deform into the following formula 4 by applying a formula 1 and a formula 2 to a formula 3.

[0050]

[Equation 4]

$$R \cdot C \cdot f = \rho \cdot K_0 \cdot \epsilon_0 \cdot \frac{W^2}{t_{OX} \cdot t_{SOI}} \cdot f < 1 \quad \text{--- (4)}$$

[0051] Therefore, when having determined the frequency of operation f of a clock, operational stability of the circuit which consists of MOS transistors of SOI structure which have gate width W which satisfies a formula 4, the gate oxide film thick tOX, and SOI layer membrane thick tSOI is attained at the time of high-speed operation.

[0052] For example, gate width W, the gate oxide film thick tOX, and SOI layer membrane thick tSOI should just satisfy the conditions shown in the following formula 5 at the time of rho= 0.08 (ohm-cm), K0=3.9, epsilon0=8.86x10-14 (F/cm), and f= 10 (GHz).

[0053]

[Equation 5]

$$\frac{W^2}{t_{OX} \cdot t_{SOI}} < \frac{1}{\rho \cdot K_0 \cdot \epsilon_0 \cdot f} = 3.6 \times 10^3 \quad \text{--- (5)}$$

[0054] this time -- a gate oxide film -- thick -- tOX=0.007 (micrometer) and a SOI layer membrane -- thick -- what is necessary is just to satisfy {W<2.52}, i.e., the constraint used as {W<1.59 (micrometer)}, if tSOI=0.1 (micrometer) [1]

[0055] However, since 2 ****s of the fixed potential transfer paths in the body field 14 are carried out by the body contact 16A and body contact 16B side when the body contacts 16A and 16B are formed, respectively on the body part 13 of the both sides of the gate electrode 6 in the direction of gate width W, as shown in drawing 3, in each of two body fields of gate width W / 2, a formula 1 - a formula 4 are applicable. Therefore, gate width W of the maximum permission can be made into the double precision in the case of a constraint 1 that what is necessary is just to satisfy the constraint 2 used as {(W/2)<1.59 (micrometer)}.

[0056] Drawing 4 is a flow chart which shows the procedure of the design method of the semiconductor device which is the form 1 of implementation of this invention.

[0057] With reference to this drawing, the frequency of operation f of a clock (>=500MHz) is first set up at Step S1. And parameters other than gate width W, such as the gate oxide film thick tOX and SOI layer membrane thick tSOI, are determined at Step S2.

[0058] Then, maximum permission gate width WMAX which is satisfied [with Step S3] of R-C-f<1 with the application of a formula 4 is calculated.

[0059] And the layout pattern containing the MOS transistor which was satisfied [with Step S4] of maximum permission gate width WMAX is generated, and a semiconductor device is designed.

[0060] Thus, since the design method of the semiconductor device of the form 1 operation is performing the equipment design using {R-C-f<1}, a designer cannot be based on trial and error, but can always get the semiconductor device which can be certainly operated stably to the frequency in which equipment should operate only based on objective recognition. That is, the effect that maximum permission gate width WMAX which can operate stably can be correctly recognized to predetermined frequency by {R-C-f<1} is done so.

[0061] In addition, if it is the parameter which is satisfied [with the flow chart shown by drawing 4] of {R-C-f<1} although gate width W was made into the parameter which calculates a final allowed value (maximum permission gate width WMAX), all can be made into the parameter which calculates an allowed value, and, of course, can be further applied to the allowed value of the combination of two or more parameters etc.

[0062] Drawing 5 is the block diagram showing the layout pattern generation equipment which performs automatically the design method of the semiconductor device of the form 1 operation. As shown in this drawing, layout pattern generation equipment 100 receives the circuit data D1 and the parameter D2 for a setup. In addition, the parameter D2 for a setup means parameters other than gate width W, such as the frequency of operation f of a clock, the gate oxide film thick tOX, and SOI layer membrane thick tSOI.

[0063] Layout pattern generation equipment 100 has the function as a computer in which the layout pattern generation program recorded on the internal record medium 101 can be executed. A layout pattern generation program turns into a program which recorded the step which gives the frequency of operation f of the clock which should be set up like Steps S1 and S2 of drawing 4, and parameters other than gate width W in the case of the gestalt 1 of operation, and the step which performs the same processing as Step S3 of drawing 4, and S4.

[0064] Therefore, layout pattern generation equipment 100 can generate automatically the layout pattern data D3 containing the MOS transistor which satisfies {R-C-f<1} based on the circuit data D1 and the parameter D2 for a setup which were given. In addition, as a record medium 101, a floppy disk, CD-ROM, a hard disk, etc. can be considered.

[0065] In addition, although the gestalt 1 of operation explained the design method of the MOS transistor of FS isolation construction, it is applicable also to the design method of H type gate structure as shown in drawing 6. The body part 23, the drain field 11, and the source field 12 which adjoin in the direction of gate width W, and are formed in the drain field 11 and the source field 12 of "I" of right and left of H gate electrode 26 are separated electrically, and central "-" functions as a gate electrode of an original MOS transistor.

[0066] Therefore, even when the body contact 16 is formed through H gate electrode 26 on the body part 23 of the drain field 11 and the source field 12, and the position that counters, the body potential obtained from the body contact 16 is not directly transmitted to the drain field 11 and the source field 12.

[0067] Thus, since the MOS transistor of the SOI structure of the gestalt 1 of operation is designed on the occasion of a body voltage clamp so that gate width W, the gate oxide film thick tOX, and SOI layer membrane thick tSOI may satisfy a formula 3 (formula 4), it can obtain the semiconductor device in which the operational stability in which a working speed is not changed at the time of high-speed operation is possible.

[0068] Under the present circumstances, the MOS transistor of SOI structure which operates at the rate of the highest in the range in which stable operation is possible can be obtained from setting up the gate width W greatest in the range with which are satisfied of a formula 3.

[0069] In addition, the frequency of operation f of the clock of a formula 3 means a frequency of operation, a clock frequency, oscillation frequency, etc., when the MOS transistor of the SOI structure of the form 1 of operation is used for synchronous logical circuits, such as CPU, DSP, and a chip for communication, and when used for semiconductor memories, such as DRAM and SRAM, it means a frequency of operation, a clock frequency, the inverse number of the access time, etc.

[0070] When the signal propagation-delay time tpd satisfied the conditions shown in the following formula 6 like the gestalt 1 of the <gestalt 2 of operation> operation at the time of the high-speed operation of 50 or less ps by the simulation result based on gate-capacitance C (F) determined by the formula 1 and the formula 2, and the signal propagation-delay time tpd (s) required of DT MOS transistor 1 unit which has the body resistance R (ohm), the DT MOS transistor found out operating stably.

[0071]

[Equation 6]

$$\frac{R \cdot C}{t_{pd}} < 1 \text{ --- (6)}$$

[0072] For example, gate width W, the gate oxide film thick tOX, and SOI layer membrane thick tSOI should just satisfy the conditions shown in the following formula 7 at the time of rho=0.08 (ohm-cm), K0=3.9, epsilon0=8.86x10-14 (F/cm), and tpd=50(ps).

[0073]

[Equation 7]

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{t_{pd}}{\rho \cdot K_0 \cdot \epsilon_0} = 1.8 \times 10^3 \text{ --- (7)}$$

[0074] this time -- a gate oxide film -- thick -- tOX=0.007 (micrometer) and a SOI layer membrane -- thick -- what is necessary is just to satisfy {W<1.26}, i.e., the constraint used as {W<1.12 (micrometer)}, if tSOI=0.1 (micrometer) [3]

[0075] However, when short-circuiting a gate electrode and a body part by the body part of the both sides of the gate electrode in the direction of gate width W of a body part, since 2 ****s of the fixed potential transfer paths in the body field 14 are carried out, they can make gate width W of the maximum permission the double precision in the case of a constraint 3 that what is necessary is just to satisfy the constraint 4 used as {(W/2)<1.12 (micrometer)}. [as well as the gestalt 1 of

operation]

[0076] In addition, except connecting a body part with the gate electrode 6 too hastily, DTMOS of the gestalt 2 of operation is presenting the same structure as what was shown by drawing 1 and drawing 2 , and can apply it also to H type gate structure as shown in drawing 6 .

[0077] Drawing 7 is a flow chart which shows the procedure of the design method of the semiconductor device of the gestalt 2 of operation.

[0078] With reference to this drawing, the signal propagation-delay time t_{pd} (≤ 50 ps) required of DTMOS transistor 1 unit at Step S11 is set up first. And parameters other than gate width W , such as the gate oxide film thick t_{OX} and SOI layer membrane thick t_{SOI} , are determined at Step S12.

[0079] Then, maximum permission gate width W_{MAX} which is satisfied [with Step S13] of $(R-C) t_{pd} < 1$ with the application of a formula 7 is calculated.

[0080] And the layout pattern containing the DTMOS transistor which was satisfied [with Step S14] of maximum permission gate width W_{MAX} is generated, and a semiconductor device is designed.

[0081] Thus, since the design method of the semiconductor device of the gestalt 2 operation is performing the equipment design using $\{(R-C) t_{pd} < 1\}$, a designer cannot be based on trial and error, but can always get the semiconductor device which can be certainly operated stably to the signal propagation-delay time demanded only based on objective recognition. That is, the effect that maximum permission gate width W_{MAX} which can operate stably can be correctly recognized to the predetermined signal propagation-delay time by $\{(R-C) t_{pd} < 1\}$ is done so.

[0082] Thus, since the DTMOS transistor of the SOI structure of the gestalt 2 of operation is designed on the occasion of a body voltage clamp so that gate width W , the gate oxide film thick t_{OX} , and SOI layer membrane thick t_{SOI} may satisfy a formula 6 (formula 7), it can obtain the semiconductor device in which the operational stability in which a working speed is not changed at the time of high-speed operation is possible.

[0083] In addition, if it is the parameter which is satisfied [with the flow chart shown by drawing 7] of $\{R-C \cdot f < 1\}$ although gate width W was made into the parameter which calculates a final allowed value (maximum permission gate width W_{MAX}), all can be made into the parameter which calculates an allowed value, and, of course, can be further applied to the allowed value of the combination of two or more parameters etc.

[0084] Under the present circumstances, the DTMOS transistor of the SOI structure of operating at the rate of the highest in the range in which operation by which the signal propagation-delay time t_{pd} demanded was stabilized also at the time of the high-speed operation of 50 or less pses is possible can be obtained from setting up the gate width W greatest in the range with which are satisfied of a formula 6.

[0085] Also in the gestalt 2 of operation, automatic generation of the layout pattern data D3 based on the layout pattern generation equipment shown by drawing 5 is possible like the gestalt 1 of operation. However, the parameter D2 for a setup in the gestalt 2 of operation means the signal propagation-delay time t_{pd} and parameters other than gate width W , such as the gate oxide film thick t_{OX} and SOI layer membrane thick t_{SOI} .

[0086] The layout pattern generation program recorded on a record medium 101 in the gestalt 2 of operation turns into a program which recorded Steps S11 and S12 of drawing 6 , the step which gives parameters other than the signal propagation-delay time t_{pd} which should be set up similarly, and gate width W , and Steps S13 and S14 of drawing 7 and the same step.

[0087] Therefore, layout pattern generation equipment 100 can generate automatically the layout pattern data D3 containing the DTMOS transistor with which are satisfied of $\{(R-C) t_{pd} < 1\}$ based on the circuit data D1 and the parameter D2 for a setup which were given.

[0088] the gestalt 1 of the <gestalt 3 of operation> operation, and the gestalt 2 of operation, although it was alike, respectively, it set, body potential was fixed and the constraint of gate width W in the (DT) MOS transistor of the SOI structure which can operate stably, the gate oxide film thick t_{OX} , and SOI layer membrane thick t_{SOI} was shown In order are larger and to enable a setup of gate width W , the improvement of other parameters of a formula 3 or a formula 6 was aimed at, and the gestalt of operation after the gestalt 3 of operation added the structural device.

[0089] Drawing 8 and drawing 9 are the cross sections showing the cross-section structure of the MOS transistor of the SOI structure which is the form 3 of implementation of this invention, respectively. In addition, drawing 8 is equivalent to the A-A cross section of the planar structure shown by drawing 1 , and drawing 9 is equivalent to a B-B cross section.

[0090] As shown in drawing 9 , the SOI layer 3 is penetrated and the drain field 11 and the source field 12 are formed alternatively. And the gate electrode 6 is formed through the gate oxide film 10 on between the drain field 11 and the source field 12, and a sidewall 15 is formed in the side of the gate electrode 6.

[0091] In the drain field 11, the N type high impurity concentration (N^+) of the field to low concentration where the N type high impurity concentration (N^-) of partial drain field 11A which is located in sidewall 15 lower part and formed in the upper part of the SOI layer 3 is other is set as high concentration. The N type high impurity concentration (N^-) of partial source field 12A which similarly is located in sidewall 15 lower part and formed in the upper part of the SOI layer 3 in the source field 12 is low concentration, and the N type high impurity concentration (N^+) of the other field is set as high concentration.

[0092] On the other hand, in the SOI layer 3 of gate electrode 6 lower part, the P type high impurity concentration (P^-) of body field 14A of a management is set as low concentration, and the P type high impurity concentration (P^0) of body field 14B of the lower layer section is set as high concentration from body field 14A.

[0093] Thus, the specific resistance ρ of the body part 13 of a formula 2 can be reduced by setting up more highly than the high impurity concentration (high impurity concentration used for the usual body field 14) of body field 14A the high impurity concentration of body field 14B which is located in sidewall 15 lower part and formed in the lower layer field of the SOI layer 3.

[0094] If body field 14B is formed by 10 times as much high impurity concentration as the high impurity concentration of body field 14A as shown in the graph of drawing 10, the specific resistance of body field 14B will become 1/10 of body field 14A. Under the present circumstances, since the specific resistance of body field 14A can disregard the specific resistance of a body part 13, it determines it by the specific resistance ρ_{p0} of body field 14B. However, it is necessary to transpose to SOI layer membrane thick t_{SOI} , and to adopt the thickness t_{p0} of body field 14B.

[0095] Therefore, the formula 5 of the form 1 of operation can deform into the following formula 8.

[0096]

[Equation 8]

$$\frac{W^2}{t_{ox} \cdot t_{p0}} < \frac{1}{\rho_{p0} \cdot K_0 \cdot \epsilon_0 \cdot f} \quad \text{--- (8)}$$

[0097] By for example, specific resistance $\rho_{p0}=0.008$ (ohm-cm) of body field 14B and the thickness t_p of body field 14B $t_p=0.02$ (micrometer) What is necessary is just to satisfy $\{W^2<5.0\}$, i.e., the constraint used as $\{W<2.23$ (micrometer)}, when other conditions are $K_0=3.9$, $\epsilon_0=8.86 \times 10^{-14}$ (F/cm), $f=10$ (GHz), and gate oxidization thickness $t_{OX}=0.007$ (micrometer) like the form 1 of operation. [5]

[0098] Comparison with a constraint 1 and a constraint 5 shows that the structure of the form 3 of operation can form widely gate width W in which the maximum realization is possible about 1.4 times compared with the structure of the form 1 of operation.

[0099] In addition, the thickness t_{CH} (formation depth of the front face of body field 14B) of body field 14A will not affect the current characteristic of an MOS transistor, if it is made larger than the maximum depletion-layer width of face X_{dmax} decided by channel concentration (concentration of body field 14A) of an MOS transistor.

[0100] Therefore, what is necessary is just to form body field 14A so that $t_{CH}>X_{dmax}$ may be satisfied. In addition, the specific inductive capacity of K_s :silicon, high impurity concentration of NA:body field 14A, ϕ_s (inv): If it is the energy potential at the time of channel formation, the maximum depletion-layer width of face X_{dmax} will be determined by the following formula 9.

[0101]

[Equation 9]

$$x_{dmax} = \sqrt{\frac{2 \cdot K_s \cdot \epsilon_0 \cdot \phi_s \text{ (inv)}}{q N_A}} \quad \text{--- (9)}$$

[0102] When DT MOS of the form 2 of operation of the structure of the form 3 of operation is applied to structure, several G can be transformed into 10 and the formula 7 of the form 2 of operation can make large gate width W in which the maximum realization is possible like the following case where it applies to the form 1 of operation.

[0103]

[Equation 10]

$$\frac{W^2}{t_{ox} \cdot t_{p0}} < \frac{t_{pd}}{\rho_{p0} \cdot K_0 \cdot \epsilon_0} \quad \text{--- (10)}$$

[0104] The manufacture method of the structure of the form 3 operation shown by drawing 8 and drawing 9 is described. First, in the stage before the FS insulating layer 4, the FS electrode 5, and gate electrode 6 formation, a P type impurity is poured into the lower layer section of the SOI layer 3, and high impurity concentration forms P0 semiconductor region. Then, the structure of the form 3 of operation is acquired by forming the FS insulating layer 4, the FS electrode 5, the gate electrode 6, the drain field 11, the source field 12, and a sidewall 15 by the existing method.

[0105] In addition, the field where only fields other than drain field 11 and source field 12 remained and remained is set to body field 14B at the time of formation of the drain field 11 where the semiconductor region of the high impurity concentration P0 formed in the lower layer section of the SOI layer 3 at the time of pouring of a P type impurity penetrates the SOI layer 3, and the source field 12.

[0106] <Form 4 of operation> drawing 11 is the cross section showing the cross-section structure of the MOS transistor of the SOI structure which is the form 4 of implementation of this invention. In addition, drawing 11 is equivalent to the B-B cross section of the planar structure shown by drawing 1.

[0107] A sidewall 15 is formed in the side of the gate electrode 6 as shown in drawing 11. In the drain field 11, it is located in the method of 1 subordinate of the sidewall 15 whole and the gate electrode 6, and the N type high impurity concentration (N+) of the field to low concentration where the N type high impurity concentration (N-) of partial drain field 11B formed in the management of the SOI layer 3 is other is set as high concentration. The N type high impurity concentration (N-) of partial

source field 12B which similarly is located in the method of 1 subordinate of the sidewall 15 whole and the gate electrode 6, and is formed in the management of the SOI layer 3 in the source field 12 is low concentration, and the N type high impurity concentration (N+) of the other field is set as high concentration.

[0108] On the other hand in the SOI layer 3 of gate electrode 6 (sidewall 15) lower part, the field in which it is located under the sidewall 15 is set to body field 14D, and the field located in gate electrode 6 lower part is set to body field 14C. The P type high impurity concentration (P-) of body field 14C is set as low concentration, and the P type high impurity concentration (P0) of body field 14D is set as high concentration from body field 14C. Therefore, all the PN-junction sides with N+ field of the drain field 11 and the source field 12 are formed of body field 14D.

[0109] In addition to the lower part of a sidewall 15, from part and body field 14D formed also under a part of gate electrode 6, partial drain field 11B and partial source field 12B are prolonged in the direction of a center of the gate electrode 6 by length d1, and are formed in it.

[0110] In addition, the composition of the FS insulating layer 4, the FS electrode 5, the gate electrode 6, and a sidewall 15 is the same as that of the structure of the form 3 of operation shown by drawing 8 and drawing 9.

[0111] Thus, the specific resistance rho of the body part 13 of a formula 2 can be reduced by setting up more highly than the high impurity concentration (high impurity concentration used for the usual body field 14) of body field 14C the high impurity concentration of body field 14D which is located in sidewall 15 lower part and formed in the lower layer section of the SOI layer 3.

[0112] Consequently, the structure of the form 4 of operation can make large gate width W in which the maximum realization is possible like the form 3 of operation compared with the structure of the form 1 of operation.

[0113] Moreover, since all the PN-junction sides with N+ field of the drain field 11 and the source field 12 are formed of body field 14D, they can suppress the elongation of the depletion layer from N+ field of the drain field 11 or the source field 12, and structure strong against a punch through realizes them.

[0114] Moreover, since partial drain field 11B and partial source field 12B are prolonged in the direction of a center of the gate electrode 6 by length d1 and are formed in it from body field 14D, the comparatively high high impurity concentration P0 of body field 14D does not have a bad influence on the current characteristic of the MOS transistor at the time of channel formation.

[0115] The manufacture method of the structure of the form 4 operation shown by drawing 11 is explained. First, it sets in the stage before after [gate electrode 6 formation] sidewall 15 formation. As shown in drawing 12, high impurity concentration uses the gate electrode 6 as a mask to the SOI layer 3 of P-. While pouring in the P type impurity ion 31 perpendicularly (it is an ion implantation at the pouring energy of 30KeV(s) about the boron of $5 \times 10^{13}/\text{cm}^2$ of doses) and forming the P0 type semiconductor regions 24 and 25 Slanting rotation pouring of the N type impurity ion 32 is carried out, and it is N-. The halfway drain field 21 and the halfway source field 22 of type are formed. The halfway drain field 21 and the halfway source field 22 are prolonged and formed in the direction of a center of the gate electrode 6 compared with the part and semiconductor regions 24 and 25 which carry out slanting rotation pouring of the N type impurity ion 32.

[0116] And the structure shown by drawing 11 is acquired by pouring in the impurity of N type again by using the gate electrode 6 and a sidewall 15 as a mask after sidewall 15 formation.

[0117] In addition, the field where only fields other than drain field 11 and source field 12 remained and remained is set to body field 14D at the time of formation of the drain field 11 where the semiconductor regions 24 and 25 of the high impurity concentration P0 formed in the lower layer section of the SOI layer 3 at the time of pouring of a P type impurity penetrate the SOI layer 3, and the source field 12.

[0118] <Gestalt 5 of operation> drawing 13 is the cross section showing the cross-section structure of the MOS transistor of the SOI structure which is the gestalt 5 of implementation of this invention. In addition, drawing 13 is equivalent to the B-B cross section of the planar structure shown by drawing 1.

[0119] A sidewall 15 is formed in the side of the gate electrode 6 as shown in drawing 13. In the drain field 11, it is located in sidewall 15 lower part, and the N type high impurity concentration (N+) of the field to low concentration where the N type high impurity concentration (N-) of partial drain field 11C formed by penetrating the SOI layer 3 is other is set as high concentration. The N type high impurity concentration (N-) of partial source field 12C which similarly is located in sidewall 15 lower part and penetrates the SOI layer 3 in the source field 12 is low concentration, and the N type high impurity concentration (N+) of the other field is set as high concentration.

[0120] On the other hand, in the SOI layer 3 of gate electrode 6 lower part, the P type high impurity concentration (P-) of body field 14E of a management is set as low concentration, and the P type high impurity concentration of body field 14F of the lower layer section (P0) is set as high concentration from body field 14E.

[0121] In addition, the composition of the FS insulating layer 4, the FS electrode 5, the gate electrode 6, and a sidewall 15 is the same as that of the structure of the gestalt 3 of operation shown by drawing 8 and drawing 9.

[0122] Thus, the specific resistance rho of the body part 13 in a formula 2 can be reduced by setting body field 14F which are located in gate electrode 6 lower part, and are formed in the lower layer section of the SOI layer 3 as high impurity concentration higher than body field 14E formed in a management. Consequently, the structure of the gestalt 5 of operation can make large gate width W in which the maximum realization is possible compared with the structure of the gestalt 1 of operation.

[0123] Moreover, since the PN-junction side by N+ field of the drain field 11 and the source field 12 and FPbody field 140

field is not formed at all by penetrating the SOI layer 3 and forming partial drain field 11C and partial source field 12C, junction leak can be suppressed.

[0124] The manufacture method of the structure of the gestalt 5 operation shown by drawing 13 is described. First, in the stage before gate electrode 6 formation, a P type impurity is poured into the lower layer section of the SOI layer 3, and the semiconductor region of high impurity concentration P0 is formed.

[0125] And in the stage before after [gate electrode 6 formation] sidewall 15 formation, the slanting rotation ion implantation of the N type impurity is carried out by using the gate electrode 6 as a mask to the SOI layer 3 of high-impurity-concentration P-, and it is N-. The halfway drain field and halfway source field of type are formed. Under the present circumstances, while forming a halfway drain field and a halfway source field so that it may strengthen and the SOI layer 3 may be penetrated rather than the time of manufacture of the gestalt 4 of operation of pouring energy, slanting angle of rotation at the time of an ion implantation is perpendicularly changed rather than the time of manufacture of the gestalt 4 of operation.

[0126] Therefore, among the semiconductor regions of the high impurity concentration P0 formed in the lower layer section of the SOI layer 3 at the time of pouring of a P type impurity, only fields other than a halfway drain field and a halfway source field remain, and the field which remained is set to body field 14B.

[0127] And the structure shown by drawing 13 is acquired by pouring in the impurity of N type again by using the gate electrode 6 and a sidewall 15 as a mask after sidewall 15 formation.

[0128] <Gestalt 6 of operation> drawing 14 is the cross section showing the cross-section structure of the MOS transistor of the SOI structure which is the gestalt 6 of implementation of this invention. In addition, drawing 14 is equivalent to the B-B cross section of the planar structure shown by drawing 1.

[0129] A sidewall 15 is formed in the side of the gate electrode 6 as shown in drawing 14. In the drain field 11, the N type high impurity concentration (N+) of the field to low concentration where the N type high impurity concentration (N-) of partial drain field 11A which is located in sidewall 15 lower part and formed in the management of the SOI layer 3 is other is set as high concentration. The N type high impurity concentration (N-) of partial source field 12A which similarly is located in sidewall 15 lower part and formed in the management of the SOI layer 3 in the source field 12 is low concentration, and the N type high impurity concentration (N+) of the other field is set as high concentration.

[0130] The field which is located directly under the gate electrode 6 and formed in the lower layer section of the SOI layer 3 on the other hand in the SOI layer 3 of gate electrode 6 (sidewall 15) lower part is set to body field 14H, and the other field is set to body field 14G. The P type high impurity concentration (P-) of body field 14G is set as low concentration, and the P type high impurity concentration (P0) of body field 14H is set as high concentration from body field 14G.

[0131] In addition, the composition of the FS insulating layer 4, the FS electrode 5, the gate electrode 6, and a sidewall 15 is the same as that of the structure of the gestalt 3 of operation shown by drawing 8 and drawing 9.

[0132] Thus, the specific resistance ρ of the body part 13 kicked at a ceremony 2 can be reduced by setting body field 14H which are located directly under the gate electrode 6 and formed in the lower layer section of the SOI layer 3 as high impurity concentration higher than body field 14G. Consequently, the structure of the gestalt 6 of operation can make large gate width W in which the maximum realization is possible compared with the structure of the gestalt 1 of operation.

[0133] Moreover, since the PN-junction side by N+ field of the drain field 11 and the source field 12 and HPbody field 140 field is not formed at all in order to form P0 type body field 14H only in the lower layer section of the SOI layer 3 located directly under the gate electrode 6, junction leak can be suppressed.

[0134] The manufacture method of the structure of the gestalt 6 operation shown by drawing 14 is described. First, as shown in drawing 15, the P type impurity ion 31 is poured into the whole surface in the stage before after [gate electrode 6 formation] sidewall 15 formation.

[0135] Under the present circumstances, only the P type impurity by which the ion implantation was carried out throughout a period of gate electrode 6 is poured into the lower layer section of a body part 13, and the P type impurity by which the ion implantation was carried out, without passing the gate electrode 6 passes the SOI layer 3, and is made to be poured into the embedded oxide film 2 (not shown) under the SOI layer 3. For example, what is necessary is just to carry out the ion implantation of the boron in the pouring energy 120 (KeV) and about two dose 1×10^{14} /cm at the time of SOI layer thickness $t_{SOI}=100$ (nm) and thickness $t_{gate}=200$ (nm) of the gate electrode 6.

[0136] Next, N type impurity ion is poured in by using the gate electrode 6 as a mask to the SOI layer 3, and it is N-. The halfway drain field and halfway source field of type are formed.

[0137] And the structure shown by drawing 14 is acquired by pouring in the impurity of N type again by using the gate electrode 6 and a sidewall 15 as a mask after sidewall 15 formation.

[0138] <Gestalt 7 of operation> drawing 16 is the cross section showing the cross-section structure of the MOS transistor of the SOI structure which is the gestalt 7 of operation in this invention. As shown in this drawing, the transistor (DTMOS is included) to which body potential was fixed is formed in the body fixed transistor field A1 of SOI layer 3A of thickness t_1 , and the transistor whose body is floating is formed in the body floating transistor field A2 of SOI layer 3B of thickness t_2 ($<t_1$).

[0139] When it considers as $t_{SOI}=t_1$, the thickness t_1 of SOI layer 3A satisfies a formula 4 (or formula 6), is set as the grade which can form desired gate width W, and it sets up the thickness of SOI layer 3B so that the body field 14 may be in a perfect depletion-ized state at the time of operation.

[0140] In the gestalt 7 of operation of such structure, operational stability of the MOS transistor of the SOI structure formed in the body fixed transistor field A1 is attained by desired gate width W.

[0141] On the other hand, since the body field 14 will be in a perfect depletion-ized state at the time of operation, the MOS transistor of the SOI structure formed in the body floating transistor field A2 can acquire the good electrical property of S (Subthreshold) factor. Therefore, if a satisfactory circuit is formed in it even if a working speed uses an unstable MOS transistor for the body floating transistor field A2, it will become the part and effective from which the good electrical property of S factor is acquired.

[0142] <Gestalt 8 of operation> drawing 17 is the plan showing the planar structure of the MOS transistor of the SOI structure which is the gestalt 8 of implementation of this invention.

[0143] as shown in this drawing, the drain field 11 and the source field 12 are enclosed on a flat surface, and the FS electrode 5 forms -- having -- a part of between the drain field 11 and the source field 12 and FS electrode 5 -- gate electrode 6A is formed upwards

[0144] Gate electrode 6A has the two frame sections 61 and 62 on the field between the drain field 11 and the source field 12, and the body field 14 has exposed it to opening of the frame sections 61 and 62. The body contacts 16 and 16 are formed on the frame section 61 and each body field 14 in 62. In drawing 17, the distance from W2 and the FS electrode 5 to the frame section 62 serves as [the distance from the FS electrode 5 in the direction of gate width W to the frame section 61 / the distance between W1, the frame section 61, and 62] W3.

[0145] In addition, also in the body part 13 which exists in the periphery section of the FS electrode 5, the body contacts 16 and 16 are formed also on the extension wire of the ends of gate electrode 6A, and these bodies contact 16 exists in the drain field 11 and the source field 12, and the position that counters on a flat surface on both sides of the FS electrode 5. Moreover, the periphery line LI besides ** of drawing 17 shows the boundary line by which insulating separation of the SOI layer is carried out by LOCOS etc.

[0146] Moreover, the cross-section structure of the gate electrode A6 formation direction is the same as the cross-section structure of the gestalt 1 of operation shown by drawing 1, and the cross-section structure of the drain field 11 and the source field 12 formation direction is the same as the structure shown by drawing 9 drawing 11, drawing 13, drawing 14, drawing 21, etc. Moreover, whichever of the DTMOS transistor shown with the gestalt 2 of operation is sufficient as the MOS transistor of the gestalt 8 of operation also at the body fixed potential MOS transistor shown with the gestalt 1 of operation.

[0147] the body field 14 where the MOS transistor of such a gestalt 8 of operation of the planar structure was trichotomized since the body contact 16 was formed in the frame section 61 of gate electrode 6A, and 62 and the fixed potential transfer path in the body field 14 was trichotomized -- operational stability will become possible if a formula 4 or a formula 6 is satisfied about each gate width W1 and W2 and W3

[0148] Consequently, since $(W1+W2+W3)$ can be set up as substantial gate width of the MOS transistor which consists of a drain field 11, a source field 12, and gate electrode 6A, the MOS transistor of sufficiently big gate width can be formed that it can operate stably.

[0149] <Gestalt 9 of operation> drawing 18 is the plan showing the planar structure of the MOS transistor of the SOI structure which is the gestalt 9 of implementation of this invention.

[0150] As shown in this drawing, four slits SL1-SL4 are formed, and, as for FS electrode 5A, the drain fields 41-44 and the source fields 51-54 are formed in each slits SL [SL1-] 4. As for the lower part of FS electrode 5A, a body part 13 is formed. a part of [and / between the drain fields 41-44 and the source field 51-54 and a part of FS electrode 5A] -- the gate electrode 6 is formed upwards

[0151] And the body contacts 16 and 16 are formed like the gestalt 8 of operation on the extension wire of the ends of the gate electrode 6 in the body part 13 which exists in the periphery section of FS electrode 5A. In addition, the periphery line LI besides ** of drawing 18 shows the boundary line by which insulating separation of the SOI layer is carried out by LOCOS etc.

[0152] Moreover, the cross-section structure of the gate electrode 6 formation direction is the same as the cross-section structure of the gestalt 1 of operation shown by drawing 1, and the cross-section structure of the drain fields 41-44, the source field 51 - the 53 formation directions is the same as the structure shown by drawing 9, drawing 11, drawing 13, drawing 14, drawing 21, etc. Moreover, whichever of the DTMOS transistor shown with the gestalt 2 of operation is sufficient as the MOS transistor of the gestalt 9 of operation also at the body fixed potential MOS transistor shown with the gestalt 1 of operation.

[0153] The MOS transistor of such a gestalt 9 of operation of the planar structure Since the body part 13 is formed down the field of FS electrode 5A used as the boundary of the slits SL1-SL4 of FS electrode 5A and the fixed potential transfer path by sufficiently small-resistance is secured compared with the body field 14 of gate electrode 6 lower part, The fixed potential transfer path in the body field 14 is quadrisected, and if it satisfies a formula 4 or a formula 6 about each gate width W11, W12, W13, and W14, operational stability of it will be attained.

[0154] Consequently, since $(W11+W12+W13+W14)$ can be set up as substantial gate width of the MOS transistor which consists of drain fields 41-44, source fields 51-54, and a gate electrode 6, the MOS transistor of sufficiently big gate width can be formed that it can operate stably.

[0155] <Gestalt 10 of operation> drawing 19 is the plan showing the planar structure of the MOS transistor of the SOI structure which is the gestalt 10 of implementation of this invention.

[0156] it is shown in this drawing -- as -- a part of between the drain field 11 and the source field 12 and body part 13 -- gate electrode 6B is formed upwards Gate electrode 6B has the two frame sections 63 and 64 on the field between the drain field 11 and the source field 12, and has formed the body contacts 16 and 16, respectively on the body field 14 exposed to opening of the frame sections 63 and 64. As shown in drawing 19, the distance* from the boundary section of W22 and gate electrode 6B to the frame section 64 is [the distance from the boundary section of gate electrode 6B in the direction of gate width W of gate electrode 6B to the frame section 63 / the distance between W21 the frame section 63, and 64] W23.

[0157] In addition, the body contacts 16 and 16 are formed on the body part 13 on the extension wire of the ends of gate electrode 6B as well as the gestalt 8 of operation, and the gestalt 9 of operation. Moreover, the periphery line LI besides ** of drawing 19 shows the boundary line by which insulating separation of the SOI layer is carried out by LOCOS etc.

[0158] In addition, the cross-section structure of the drain field 11 and the source field 12 formation direction is the same as the structure shown by drawing 9, drawing 11, drawing 13, drawing 14, drawing 21, etc. Moreover, whichever of the DTMOS transistor shown with the gestalt 2 of operation is sufficient as the MOS transistor of the gestalt 10 of operation also at the body fixed potential MOS transistor shown with the gestalt 1 of operation.

[0159] The MOS transistor of such a gestalt 10 of operation of the planar structure can separate electrically a body part 13 (body field 14), the drain field 11, and the source field 12 like "I" of right and left of H type gate by the "I" portions of the left end formed on drawing 19 of gate electrode 6B lengthwise, and a right end.

[0160] And since the body contact 16 is formed in the frame section 63 of gate electrode 6B, and 64, the fixed potential transfer path in the body field 14 is trichotomized, and if the MOS transistor of the gestalt 10 of operation satisfies a formula 4 or a formula 6 about each gate width W21, W22, and W23, operational stability of it will be attained the same by the gestalt 8 of operation.

[0161] Consequently, since $(W21+W22+W23)$ can be set up as substantial gate width of the MOS transistor which consists of a drain field 11, a source field 12, and gate electrode 6B, the MOS transistor of sufficiently big gate width can be formed that it can operate stably.

[0162] Moreover, the part and the forming face product of a body part 13 which omit formation of FS electrode can be made small, and if a DTMOS transistor is constituted from this composition, a earlier working speed can be attained.

[0163] <Others> It may use with the MOS transistor of the above-mentioned gestalt of operation, and a gate array may be constituted in the range with which gate width W of the gestalt of each operation is satisfied of a predetermined constraint. Moreover, although the NMOS transistor was mainly mentioned as the example with the gestalt of the above-mentioned implementation, of course, can apply this invention also to a PMOS transistor.

[0164]

[Effect of the Invention] As explained above, the step (b) of the design method of the semiconductor device according to claim 1 in this invention C: -- the gate capacitance (F) of an MOS transistor, and R:, when it considers as the frequency of operation (Hz) of the resistance (omegam) of a fixed potential transfer path from at least one body contact to a body field, and an f:predetermined clock In the range of $f \geq 500\text{MHz}$, since it has determined that the layout pattern of an MOS transistor will satisfy conditional-expression: $R \cdot C \cdot f < 1$, the MOS transistor of the body voltage clamp by which the working speed was always stabilized at the time of high-speed operation can be designed.

[0165] The design method of the semiconductor device according to claim 2 in this invention C: -- the gate capacitance (F) of an MOS transistor, and R:, when it considers as the resistance (omegam) of a fixed potential transfer path from at least one body contact to a body field, and the signal propagation-delay time (s) required of td:MOS transistor Since it has determined that the layout pattern of an MOS transistor will satisfy conditional-expression: $(R \cdot C) / td < 1$ in the range of $td \leq 50\text{ps}$, The MOS transistor of the gate electrode by which the working speed was always stabilized at the time of high-speed operation, and body part short circuit structure can be designed.

[0166] Since a semiconductor device according to claim 3 is designed by the design method of a semiconductor device according to claim 1, it can obtain the MOS transistor of the body voltage clamp by which the working speed was stabilized at the time of high-speed operation.

[0167] A semiconductor device according to claim 4 can be *(ed), if the MOS transistor of the gate electrode by which the working speed was stabilized at the time of high-speed operation, and body part short circuit structure is obtained, since it is designed by the design method of a semiconductor device according to claim 2.

[0168] The semiconductor device according to claim 5 in this invention C: -- the gate capacitance (F) of an MOS transistor, and R:, when it considers as the frequency of operation (Hz) of the resistance (omegam) of a fixed potential transfer path from at least one body contact to a body field, and an f:predetermined clock In the range of $f \geq 500\text{MHz}$, since the MOS transistor is formed so that conditional-expression: $R \cdot C \cdot f < 1$ may be satisfied, the MOS transistor of the body voltage clamp by which the working speed was stabilized at the time of high-speed operation can be obtained.

[0169] The semiconductor device according to claim 6 in this invention C: -- the gate capacitance (F) of an MOS transistor, and R:, when it considers as the resistance (omegam) of a fixed potential transfer path from at least one body contact to a body field, and the signal propagation-delay time (s) required of td:MOS transistor In the range of $td \leq 50\text{ps}$, since the MOS transistor is formed so that conditional-expression: $(R \cdot C) / td < 1$ may be satisfied, the MOS transistor of the gate electrode by which the working speed was stabilized at the time of high-speed operation, and body part short circuit structure can be obtained.

[0170] A semiconductor device according to claim 7 the resistance R of a body part W : The length of the gate width

direction of the gate electrode of the fixed potential transfer path in a body field, L: The length of the direction of gate length of the gate electrode of the aforementioned fixed potential transfer path in a body field, thickness of a tSOI:SOI layer, ρ : When it considers as the specific resistance of a body field, in order to determine by $R=(\rho \cdot W)/(L \cdot tSOI)$, It can ask for the tolerance of the size of a body field by setting up beforehand the thickness of a SOI layer, and the specific resistance of a body field.

[0171] It has the separation electrode formed through an insulator layer in a semiconductor device according to claim 8 on the body part which adjoined the 1st and 2nd semiconductor regions except a body field. Since the body contact outside a separation electrode is formed on both sides of a separation electrode on the 1st and 2nd semiconductor regions and the field of the body part of the position which counters on a flat surface, By impressing reverse bias voltage to this separation electrode, between the body contact outside a separation electrode, the 1st, and 2nd semiconductor regions is separated electrically. The fixed potential obtained from the body contact outside a separation electrode can be prevented from having a bad influence on the 1st and 2nd semiconductor regions.

[0172] In the semiconductor device according to claim 9, a gate electrode has opening which the field of a body field which can be body contacted exposes, and body contact includes further the body contact in a gate electrode formed on [which can be body contacted] a field.

[0173] Therefore, since the fixed potential transfer path in a body field is divided by the body contact in a gate electrode, it can set up the length of the whole body field of the gate width direction of the part which just comes to be satisfied of conditional expression 1 or conditional expression 2 per body field divided by the body contact in a gate electrode, and a gate electrode for a long time.

[0174] In the semiconductor device according to claim 10, separation formation of two or more 1st [the] and the 2nd semiconductor region is carried out by the body part, respectively.

[0175] Therefore, since the fixed potential transfer path in a body field is divided by the body part which separates the semiconductor region of the two or more above-mentioned 1st [the] and the above-mentioned 2nd, respectively, each two or more 1st [the] and 2nd semiconductor region in an MOS transistor can set up the length of the whole body field of the gate width direction of the part which just comes to be satisfied of the above-mentioned conditional expression 1 or conditional expression 2, and a gate electrode for a long time.

[0176] In a semiconductor device according to claim 11, from on a body field, a gate electrode is further prolonged in the direction of gate length, the body part top which adjoined the 1st and 2nd semiconductor regions is formed in it, and the body contact outside a gate electrode is formed on both sides of a gate electrode on the 1st and 2nd semiconductor regions and the field of the body part which counters on a flat surface.

[0177] Therefore, between the body contact outside a gate electrode, the 1st, and 2nd semiconductor regions is separated electrically, and the fixed potential obtained from the body contact outside a gate electrode can be prevented from having a bad influence on the 1st and 2nd semiconductor regions by impressing OFF voltage to a gate electrode.

[0178] In the semiconductor device according to claim 12, a gate electrode has opening which the field of a body field which can be body contacted exposes, and body contact includes further the body contact in a gate electrode formed on [which can be body contacted] a field.

[0179] Therefore, since the fixed potential transfer path in a body field is divided by the body contact in a gate electrode, an MOS transistor can set up the length of the whole body field of the gate width direction of the part which just comes to be satisfied of conditional expression 1 or conditional expression 2 per divided body field, and a gate electrode for a long time.

[0180] In the semiconductor device according to claim 13, at least one body contact includes the 1st and 2nd body contacts formed on the body part located on the extension wire of the end of the gate width direction of a gate electrode, and the other end.

[0181] Therefore, since the fixed potential transfer path in a body field is divided by the 1st and 2nd body contacts, an MOS transistor can set up the length of the whole body field of the gate width direction of the part which just comes to be satisfied of conditional expression 1 or conditional expression 2 per body field carried out 2 ****s, and a gate electrode for a long time.

[0182] In a semiconductor device according to claim 14, since the 2nd body field in the lower layer section of a body field has the high impurity concentration of the 2nd conductivity type higher than the high impurity concentration of the 2nd conductivity type of the 1st body field, it can decrease the specific resistance of a body field compared with the case where the whole body field is made into the high impurity concentration of the 1st body field.

[0183] Consequently, when all parameters other than the length of the gate width direction of the specific resistance of a body field and the gate electrode of the fixed potential transfer path in a body field are these conditions among the parameters with which are satisfied of conditional expression 1 or conditional expression 2, the length of the part and the above-mentioned gate width direction in which the specific resistance of a body field is reduced can be set up for a long time.

[0184] In a semiconductor device according to claim 15 the 1st and 2nd partial body fields where high impurity concentration is comparatively high The 1st and 2nd main fields and interfaces with comparatively high high impurity concentration are touched and formed, and high impurity concentration is formed comparatively, without the body field of a low 1st touching the 1st and 2nd main fields and interfaces. A sake, The elongation of the depletion layer from the 1st and 2nd main fields can be certainly suppressed by the 1st and 2nd partial body fields, and if the MOS transistor of structure strong against a punch through is obtained, it can **.

[0185] Moreover, comparatively, since predetermined distance stretch ***** of the low 1st of high impurity concentration and the 2nd partial semiconductor region is carried out in the direction of a center of a gate electrode from the 1st and 2nd partial body fields, respectively, the comparatively high high impurity concentration of the 1st and 2nd partial body fields does not have a bad influence on the current characteristic of the MOS transistor at the time of channel formation.

[0186] In a semiconductor device according to claim 16, comparatively, high impurity concentration penetrates a SOI layer to some fields which a low 1st and the 2nd partial semiconductor region counter between the 1st and 2nd semiconductor regions, respectively, and it is formed.

[0187] Therefore, since the 2nd body field where high impurity concentration is comparatively high, the 1st with comparatively high high impurity concentration, or 2nd semiconductor region does not touch an interface, junction leak can be suppressed to the minimum.

[0188] In a semiconductor device according to claim 17, the 2nd body field where high impurity concentration is comparatively high is formed in the central field of the lower layer section, without touching the 1st and 2nd main fields and interfaces.

[0189] Therefore, since the 2nd body field where high impurity concentration is comparatively high, the 1st with comparatively high high impurity concentration, or 2nd semiconductor region does not touch an interface, junction leak can be suppressed to the minimum.

[0190] In a semiconductor device according to claim 18, the MOS transistor which fixes body potential is formed on the 1st field where thickness is comparatively thick, and a body floating MOS transistor is formed on the 2nd field where thickness is comparatively thin.

[0191] Therefore, when all parameters other than the length of the body field of the thickness of a SOI layer and the gate width direction of a gate electrode are these conditions among the parameters with which are satisfied of conditional expression 1 or conditional expression 2, the length of the body field of the gate width direction of the part which thickens thickness of a SOI layer, and the MOS transistor which fixes body potential can be set up for a long time.

[0192] On the other hand, without affecting the MOS transistor which fixes body potential, thickness of a SOI layer can be made thin and a body floating MOS transistor can form it so that a desired operating characteristic may be acquired.

[0193] Since the program for performing the design method of a claim 1 or a semiconductor device according to claim 2 is recorded, the record medium according to claim 19 in this invention can design the MOS transistor of the MOS transistor-gate electrode of the body voltage clamp which can always operate stably, or body part short circuit structure by making a computer execute this program at the time of high-speed operation.

[Translation done.]